

# IMAGE PROCESSING UNIT AND IMAGE PROCESSING METHOD

**Publication number:** JP11164264 (A)

**Publication date:** 1999-06-18

**Inventor(s):** KONDO TETSUJIRO; WATANABE TSUTOMU; OTSUKI TOMOYUKI

**Applicant(s):** SONY CORP

**Classification:**

- international: **H04N7/01; H04N7/01;** (IPC1-7): H04N7/01

- European:

**Application number:** JP19980032473 19980216

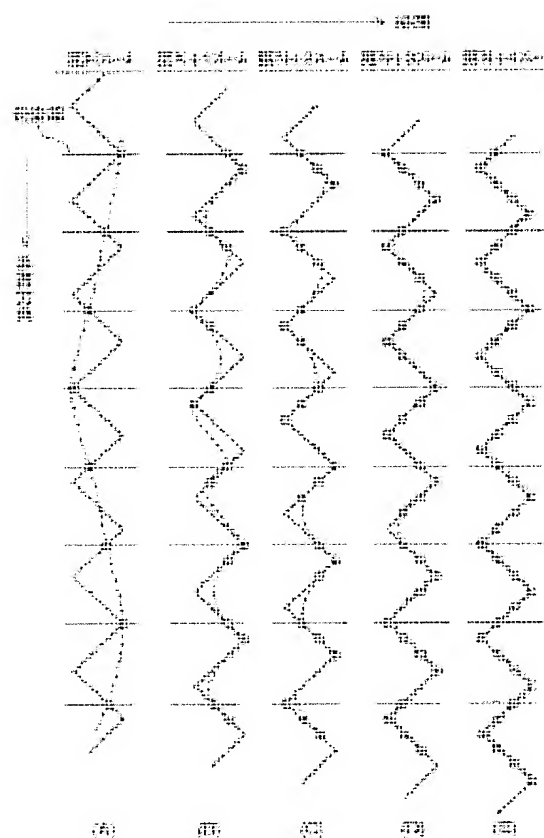
**Priority number(s):** JP19980032473 19980216; JP19970030181 19970214; JP19970261934 19970926

**Also published as:**

JP4120898 (B2)

## Abstract of JP 11164264 (A)

**PROBLEM TO BE SOLVED:** To eliminate loopback distortion by reducing an original image with high resolution. **SOLUTION:** Assuming that an original image without loopback distortion is represented by a triangle wave as shown in solid lines that changes periodically at a frequency higher than 1/2 of a frequency equivalent to a horizontal scanning period and where its phase is being deviated with time. Sampling points (marked &cir ) at an N-th frame are moved to each position corresponding to a motion of a distorted image with loopback distortion, and sample values at the sampling points at the movement and sample values of the (N+1)th frame are tied to obtain a waveform as shown in dotted lines in figure (B), then the waveform approaches the original image waveform.; Similarly, sampling points of preceding frames are moved to positions corresponding to the motion of the distorted image, and the sample values at the sampling points after the movement and the samples of a current frame are being tied to reproduce the original image gradually as shown in dotted lines in figures (C) to (E).



Data supplied from the **esp@cenet** database — Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-164264

(43) 公開日 平成11年(1999) 6月18日

(51) Int.Cl.<sup>6</sup>  
H 0 4 N 7/01

識別記号

F I  
H 0 4 N 7/01

G

審査請求 未請求 請求項の数60 O L (全 31 頁)

(21) 出願番号 特願平10-32473

(22) 出願日 平成10年(1998) 2月16日

(31) 優先権主張番号 特願平9-30181

(32) 優先日 平 9 (1997) 2月14日

(33) 優先権主張国 日本 (J P)

(31) 優先権主張番号 特願平9-261934

(32) 優先日 平 9 (1997) 9月26日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川 6 丁目 7 番 35 号

(72) 発明者 近藤 哲二郎

東京都品川区北品川 6 丁目 7 番 35 号 ソニー株式会社内

(72) 発明者 渡辺 勉

東京都品川区北品川 6 丁目 7 番 35 号 ソニー株式会社内

(72) 発明者 大月 知之

東京都品川区北品川 6 丁目 7 番 35 号 ソニー株式会社内

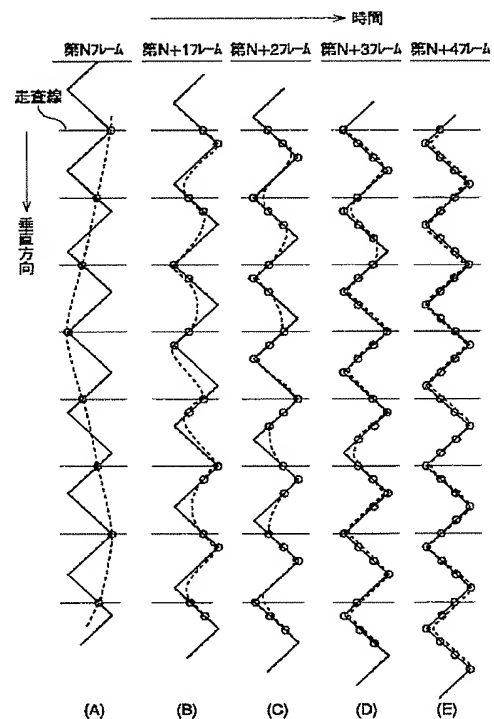
(74) 代理人 弁理士 稲本 義雄

(54) 【発明の名称】 画像処理装置および画像処理方法

(57) 【要約】

【課題】 解像度の高い元の画像を再生することで、折り返し歪みを除去する。

【解決手段】 折り返し歪みのない元の画像が、図 2 に実線で示すような、水平走査期間に対応する周波数の  $1/2$  よりも高い周波数で周期的に変化し、その位相が時間とともにずれていく三角波で表されるとする。第 N フレームにおけるサンプリング点 (図 2 に○印で示す) を、折り返し歪みを有する歪み画像の動きに対応した位置に移動し、その移動後のサンプリング点のサンプル値、および第 N+1 フレームのサンプル値を結べば、その波形は、図 2 (B) に点線で示すように、元の画像に近づく。以下、同様にして、過去のフレームのサンプリング点を、歪み画像の動きに対応した位置に移動し、その移動後のサンプリング点のサンプル値、および現在のフレームのサンプル値を結んでいくことにより、図 2 (C) 乃至図 2 (E) に点線で示すように、徐々に、元の画像が再生されていく。



(2)

1

## 【特許請求の範囲】

【請求項1】 第1の画像から第2の画像を生成する画像処理装置であって、  
前記第1の画像を受信する受信手段と、  
前記第1の画像の動きに対応した位置に画素を想定することにより、前記第2の画像を生成する想定手段とを備えることを特徴とする画像処理装置。

【請求項2】 前記第1の画像の動きを検出する動き検出手段をさらに備え、  
前記想定手段は、前記動き検出手段によって検出された前記第1の画像の動きに対応した位置に画素を想定することにより、前記第2の画像を生成することを特徴とする請求項1に記載の画像処理装置。

【請求項3】 前記第2の画像は、前記第1の画像よりも解像度の高いものであることを特徴とする請求項1に記載の画像処理装置。

【請求項4】 前記第2の画像は、前記第1の画像よりも画素数の多いものであることを特徴とする請求項1に記載の画像処理装置。

【請求項5】 前記想定手段は、前記第1の画像の動きに対応した位置に画素を想定することにより、前記第1の画像より、垂直方向の画素数の多い前記第2の画像を生成することを特徴とする請求項4に記載の画像処理装置。

【請求項6】 前記動き検出手段は、前記第1の画像の動きを、その第1の画像を構成する画素より細かい単位で検出し、  
前記想定手段は、  
前記第1の画像を記憶する、前記第1の画像の1画面分より多い記憶容量の画像記憶手段と、  
前記画像記憶手段に前記第1の画像を書き込むときのアドレスを、その第1の画像の動きに基づいて制御するとともに、前記画像記憶手段の記憶値の読み出しを制御する制御手段とを有することを特徴とする請求項2に記載の画像処理装置。

【請求項7】 前記制御手段は、前記画像記憶手段の記憶値を、前記第2の画像の画素として読み出すことを特徴とする請求項6に記載の画像処理装置。

【請求項8】 前記第1の画像のシーンチェンジを検出するシーンチェンジ検出手段と、  
前記第1の画像に、シーンチェンジが生じたときに、前記画像記憶手段の記憶値をクリアするクリア手段とをさらに備えることを特徴とする請求項6に記載の画像処理装置。

【請求項9】 前記第2の画像をフィルタリングするフィルタ手段をさらに備えることを特徴とする請求項1または6のうちのいずれかに記載の画像処理装置。

【請求項10】 前記第2の画像をフィルタリングするフィルタ手段と、  
前記フィルタ手段によってフィルタリングされた前記第

2

2の画像を、前記第1の画像と同一の画素数にして出力する出力手段とをさらに備えることを特徴とする請求項3または6のうちのいずれかに記載の画像処理装置。

【請求項11】 前記画像記憶手段のアドレスのうち、前記第1の画像の画素が記憶されていないものを検出するアドレス検出手段と、  
前記アドレス検出手段によって検出された前記画像記憶手段のアドレスに対応する前記第2の画像の画素を生成する生成手段とをさらに備えることを特徴とする請求項6に記載の画像処理装置。

【請求項12】 前記アドレス検出手段は、前記画像記憶手段のアドレスに、前記第1の画像の画素が書き込まれたときに、その旨を表すフラグが、対応するアドレスに書き込まれる、前記フラグを記憶するフラグ記憶手段を有することを特徴とする請求項11に記載の画像処理装置。

【請求項13】 前記生成手段は、前記アドレス検出手段によって検出された前記画像記憶手段のアドレスに対応する前記第2の画像の画素を、前記画像記憶手段に記憶されている前記第1の画像の画素を用いて補間を行うことにより生成することを特徴とする請求項11に記載の画像処理装置。

【請求項14】 前記生成手段は、  
前記アドレス検出手段によって検出された前記画像記憶手段のアドレスに対応する前記第2の画像の画素を、前記画像記憶手段に記憶されている前記第1の画像の画素の性質に応じて、所定のクラスに分類するクラス分類手段と、  
前記クラスごとに、所定の予測係数を記憶している予測係数記憶手段と、

前記アドレス検出手段によって検出された前記画像記憶手段のアドレスに対応する前記第2の画像の画素のクラスに対応する前記予測係数と、前記画像記憶手段に記憶されている前記第1の画像の画素とを用いて所定の演算を行うことにより、前記アドレス検出手段によって検出された前記画像記憶手段のアドレスに対応する前記第2の画像の画素を求める演算手段とを有することを特徴とする請求項11に記載の画像処理装置。

【請求項15】 前記予測係数は、学習用の前記第2の画像を用いて学習を行うことにより求められたものであることを特徴とする請求項14に記載の画像処理装置。

【請求項16】 前記第1の画像を複数の領域に分割する領域分割手段と、前記第1の画像の複数の領域それぞれに対応する前記第2の画像の複数の領域を合成することにより、前記第2の画像を生成する合成手段とをさらに備え、

前記想定手段は、前記第1の画像の動きに対応した位置に画素を想定することにより、前記第1の画像の複数の領域それぞれに対応する前記第2の画像の複数の領域を求めることを特徴とする請求項1に記載の画像処理装

(3)

3

置。

【請求項17】 前記第1の画像の複数の領域それぞれの動きを検出する動き検出手段をさらに備え、前記想定手段は、前記動き検出手段によって検出された前記第1の画像の複数の領域それぞれの動きに対応した位置に画素を想定することにより、前記第2の画像の複数の領域それぞれを求めることを特徴とする請求項16に記載の画像処理装置。

【請求項18】 前記第2の画像は、前記第1の画像よりも解像度の高いものであることを特徴とする請求項16に記載の画像処理装置。

【請求項19】 前記第2の画像は、前記第1の画像よりも画素数の多いものであることを特徴とする請求項16に記載の画像処理装置。

【請求項20】 前記想定手段は、前記第1の画像の動きに対応した位置に画素を想定することにより、前記第1の画像の複数の領域それぞれより、垂直方向の画素数の多い前記第2の画像の複数の領域それぞれを求めることを特徴とする請求項19に記載の画像処理装置。

【請求項21】 前記動き検出手段は、前記第1の画像の複数の領域それぞれの動きを、その第1の画像を構成する画素より細かい単位で検出し、前記想定手段は、前記第1の画像の複数の領域をそれぞれ記憶する、前記第1の画像の複数の領域それぞれの1画面分より多い記憶容量の複数の画像記憶手段と、前記複数の画像記憶手段それぞれに、前記第1の画像の複数の領域それぞれを書き込むときのアドレスを、その第1の画像の複数の領域それぞれの動きに基づいて制御するとともに、前記複数の画像記憶手段の記憶値の読み出しを制御する制御手段とを有することを特徴とする請求項17に記載の画像処理装置。

【請求項22】 前記制御手段は、前記複数の画像記憶手段の記憶値を、前記第2の画像の複数の領域を構成する画素として、それぞれ読み出すことを特徴とする請求項21に記載の画像処理装置。

【請求項23】 前記第1の画像のシーンチェンジを検出するシーンチェンジ検出手段と、前記第1の画像に、シーンチェンジが生じたときに、前記複数の画像記憶手段の記憶値をクリアするクリア手段とをさらに備えることを特徴とする請求項21に記載の画像処理装置。

【請求項24】 前記第2の画像をフィルタリングするフィルタ手段をさらに備えることを特徴とする請求項16または23のうちのいずれかに記載の画像処理装置。

【請求項25】 前記第2の画像をフィルタリングするフィルタ手段と、前記フィルタ手段によってフィルタリングされた前記第2の画像を、前記第1の画像と同一の画素数にして出力する出力手段とをさらに備えることを特徴とする請求項

4

18または23のうちのいずれかに記載の画像処理装置。

【請求項26】 前記画像記憶手段のアドレスのうち、前記第1の画像の画素が記憶されていないものを検出するアドレス検出手段と、前記アドレス検出手段によって検出された前記画像記憶手段のアドレスに対応する前記第2の画像の画素を生成する生成手段とをさらに備えることを特徴とする請求項21に記載の画像処理装置。

【請求項27】 前記アドレス検出手段は、前記画像記憶手段のアドレスに、前記第1の画像の画素が書き込まれたときに、その旨を表すフラグが、対応するアドレスに書き込まれる、前記フラグを記憶するフラグ記憶手段を有することを特徴とする請求項26に記載の画像処理装置。

【請求項28】 前記生成手段は、前記アドレス検出手段によって検出された前記画像記憶手段のアドレスに対応する前記第2の画像の画素を、前記画像記憶手段に記憶されている前記第1の画像の画素を用いて補間を行うことにより生成することを特徴とする請求項26に記載の画像処理装置。

【請求項29】 前記生成手段は、前記アドレス検出手段によって検出された前記画像記憶手段のアドレスに対応する前記第2の画像の画素を、前記画像記憶手段に記憶されている前記第1の画像の画素の性質に応じて、所定のクラスに分類するクラス分類手段と、前記クラスごとに、所定の予測係数を記憶している予測係数記憶手段と、

前記アドレス検出手段によって検出された前記画像記憶手段のアドレスに対応する前記第2の画像の画素のクラスに対応する前記予測係数と、前記画像記憶手段に記憶されている前記第1の画像の画素とを用いて所定の演算を行うことにより、前記アドレス検出手段によって検出された前記画像記憶手段のアドレスに対応する前記第2の画像の画素を求める演算手段とを有することを特徴とする請求項26に記載の画像処理装置。

【請求項30】 前記予測係数は、学習用の前記第2の画像を用いて学習を行うことにより求められたものであることを特徴とする請求項29に記載の画像処理装置。

【請求項31】 第1の画像から第2の画像を生成する画像処理装置の画像処理方法であって、前記第1の画像を受信する受信ステップと、前記第1の画像の動きに対応した位置に画素を想定することにより、前記第2の画像を生成する想定ステップとを備えることを特徴とする画像処理方法。

【請求項32】 前記第1の画像の動きを検出する動き検出ステップをさらに備え、前記想定ステップにおいて、前記動き検出ステップで検出された前記第1の画像の動きに対応した位置に画素を

50

(4)

5

想定することにより、前記第 2 の画像を生成することを特徴とする請求項 3 1 に記載の画像処理方法。

【請求項 3 3】 前記第 2 の画像は、前記第 1 の画像よりも解像度の高いものであることを特徴とする請求項 3 1 に記載の画像処理方法。

【請求項 3 4】 前記第 2 の画像は、前記第 1 の画像よりも画素数の多いものであることを特徴とする請求項 3 1 に記載の画像処理方法。

【請求項 3 5】 前記想定ステップにおいて、前記第 1 の画像の動きに対応した位置に画素を想定することにより、前記第 1 の画像より、垂直方向の画素数の多い前記第 2 の画像を生成することを特徴とする請求項 3 4 に記載の画像処理方法。

【請求項 3 6】 前記画像処理装置は、前記第 1 の画像を記憶する、前記第 1 の画像の 1 画面分より多い記憶容量の画像記憶手段を有し、前記動き検出ステップにおいて、前記第 1 の画像の動きを、その第 1 の画像を構成する画素より細かい単位で検出し、前記想定ステップにおいて、前記画像記憶手段に前記第 1 の画像を書き込むときのアドレスを、その第 1 の画像の動きに基づいて制御するとともに、前記画像記憶手段の記憶値の読み出しを制御することを特徴とする請求項 3 2 に記載の画像処理方法。

【請求項 3 7】 前記想定ステップにおいて、前記画像記憶手段の記憶値を、前記第 2 の画像の画素として読み出すことを特徴とする請求項 3 6 に記載の画像処理方法。

【請求項 3 8】 前記第 1 の画像のシーンチェンジを検出するシーンチェンジ検出ステップと、前記第 1 の画像に、シーンチェンジが生じたときに、前記画像記憶手段の記憶値をクリアするクリアステップとをさらに備えることを特徴とする請求項 3 6 に記載の画像処理方法。

【請求項 3 9】 前記第 2 の画像をフィルタリングするフィルタステップをさらに備えることを特徴とする請求項 3 1 または 3 6 のうちのいずれかに記載の画像処理方法。

【請求項 4 0】 前記第 2 の画像をフィルタリングするフィルタステップと、前記フィルタステップにおいてフィルタリングされた前記第 2 の画像を、前記第 1 の画像と同一の画素数にして出力する出力ステップとをさらに備えることを特徴とする請求項 3 3 または 3 6 のうちのいずれかに記載の画像処理方法。

【請求項 4 1】 前記画像記憶手段のアドレスのうち、前記第 1 の画像の画素が記憶されていないものを検出するアドレス検出ステップと、前記アドレス検出ステップにおいて検出された前記画像記憶手段のアドレスに対応する前記第 2 の画像の画素を

6

生成する生成ステップとをさらに備えることを特徴とする請求項 3 6 に記載の画像処理方法。

【請求項 4 2】 前記画像処理装置は、前記画像記憶手段のアドレスに、前記第 1 の画像の画素が書き込まれたときに、その旨を表すフラグが、対応するアドレスに書き込まれる、前記フラグを記憶するフラグ記憶手段をさらに有し、

前記アドレス検出ステップにおいて、前記フラグ記憶手段を参照することにより、前記第 1 の画像の画素が記憶されていない前記画像記憶手段のアドレスを検出することを特徴とする請求項 4 1 に記載の画像処理方法。

【請求項 4 3】 前記生成ステップにおいて、前記アドレス検出ステップで検出された前記画像記憶手段のアドレスに対応する前記第 2 の画像の画素を、前記画像記憶手段に記憶されている前記第 1 の画像の画素を用いて補間を行うことにより生成することを特徴とする請求項 4 1 に記載の画像処理方法。

【請求項 4 4】 前記画像処理装置は、所定のクラスごとに、所定の予測係数を記憶している予測係数記憶手段をさらに有し、

前記生成ステップにおいて、前記アドレス検出ステップで検出された前記画像記憶手段のアドレスに対応する前記第 2 の画像の画素を、前記画像記憶手段に記憶されている前記第 1 の画像の画素の性質に応じて、前記所定のクラスのうちのいずれかに分類し、

前記アドレス検出ステップで検出された前記画像記憶手段のアドレスに対応する前記第 2 の画像の画素のクラスに対応する前記予測係数と、前記画像記憶手段に記憶されている前記第 1 の画像の画素とを用いて所定の演算を行うことにより、前記アドレス検出ステップで検出された前記画像記憶手段のアドレスに対応する前記第 2 の画像の画素を求めることを特徴とする請求項 4 1 に記載の画像処理方法。

【請求項 4 5】 前記予測係数は、学習用の前記第 2 の画像を用いて学習を行うことにより求められたものであることを特徴とする請求項 4 4 に記載の画像処理方法。

【請求項 4 6】 前記第 1 の画像を複数の領域に分割する領域分割ステップと、

前記第 1 の画像の複数の領域それぞれに対応する前記第 2 の画像の複数の領域を合成することにより、前記第 2 の画像を生成する合成ステップとをさらに備え、前記想定ステップにおいて、前記第 1 の画像の動きに対応した位置に画素を想定することにより、前記第 1 の画像の複数の領域それぞれに対応する前記第 2 の画像の複数の領域を求めることを特徴とする請求項 3 1 に記載の画像処理方法。

【請求項 4 7】 前記第 1 の画像の複数の領域それぞれの動きを検出する動き検出ステップをさらに備え、

前記想定ステップにおいて、前記動き検出ステップで検

(5)

7

出された前記第1の画像の複数の領域それぞれの動きに対応した位置に画素を想定することにより、前記第2の画像の複数の領域それぞれを求めることを特徴とする請求項46に記載の画像処理方法。

【請求項48】 前記第2の画像は、前記第1の画像よりも解像度の高いものであることを特徴とする請求項46に記載の画像処理方法。

【請求項49】 前記第2の画像は、前記第1の画像よりも画素数の多いものであることを特徴とする請求項46に記載の画像処理方法。

【請求項50】 前記想定ステップにおいて、前記第1の画像の動きに対応した位置に画素を想定することにより、前記第1の画像の複数の領域それぞれより、垂直方向の画素数の多い前記第2の画像の複数の領域それぞれを求めることを特徴とする請求項49に記載の画像処理方法。

【請求項51】 前記画像処理装置は、前記第1の画像の複数の領域をそれぞれ記憶する、前記第1の画像の1画面分より多い記憶容量の複数の画像記憶手段を有し、前記動き検出ステップにおいて、前記第1の画像の複数の領域それぞれの動きを、その第1の画像を構成する画素より細かい単位で検出し、前記想定ステップにおいて、前記複数の画像記憶手段それぞれに、前記第1の画像の複数の領域それぞれを書き込むときのアドレスを、その第1の画像の複数の領域それぞれの動きに基づいて制御するとともに、前記複数の画像記憶手段の記憶値の読み出しを制御することを特徴とする請求項47に記載の画像処理方法。

【請求項52】 前記想定ステップにおいて、前記複数の画像記憶手段の記憶値を、前記第2の画像の複数の領域を構成する画素として、それぞれ読み出すことを特徴とする請求項51に記載の画像処理方法。

【請求項53】 前記第1の画像のシーンチェンジを検出するシーンチェンジ検出ステップと、前記第1の画像に、シーンチェンジが生じたときに、前記複数の画像記憶手段の記憶値をクリアするクリアステップとをさらに備えることを特徴とする請求項51に記載の画像処理方法。

【請求項54】 前記第2の画像をフィルタリングするフィルタステップをさらに備えることを特徴とする請求項46または53のうちのいずれかに記載の画像処理方法。

【請求項55】 前記第2の画像をフィルタリングするフィルタステップと、前記フィルタステップでフィルタリングされた前記第2の画像を、前記第1の画像と同一の画素数にして出力する出力ステップとをさらに備えることを特徴とする請求項48または53のうちのいずれかに記載の画像処理方法。

【請求項56】 前記画像記憶手段のアドレスのうち、前記第1の画像の画素が記憶されていないものを検出す

8

るアドレス検出ステップと、

前記アドレス検出ステップで検出された前記画像記憶手段のアドレスに対応する前記第2の画像の画素を生成する生成ステップとをさらに備えることを特徴とする請求項51に記載の画像処理方法。

【請求項57】 前記画像処理装置は、前記画像記憶手段のアドレスに、前記第1の画像の画素が書き込まれたときに、その旨を表すフラグが、対応するアドレスに書き込まれる、前記フラグを記憶するフラグ記憶手段をさらに有し、

前記アドレス検出ステップにおいて、前記フラグ記憶手段を参照することにより、前記第1の画像の画素が記憶されていない前記画像記憶手段のアドレスを検出することを特徴とする請求項56に記載の画像処理方法。

【請求項58】 前記生成ステップにおいて、前記アドレス検出ステップで検出された前記画像記憶手段のアドレスに対応する前記第2の画像の画素を、前記画像記憶手段に記憶されている前記第1の画像の画素を用いて補間を行うことにより生成することを特徴とする請求項56に記載の画像処理方法。

【請求項59】 前記画像処理装置は、所定のクラスごとに、所定の予測係数を記憶している予測係数記憶手段をさらに有し、前記生成ステップにおいて、前記アドレス検出ステップで検出された前記画像記憶手段のアドレスに対応する前記第2の画像の画素を、前記画像記憶手段に記憶されている前記第1の画像の画素の性質に応じて、前記所定のクラスのうちのいずれかに分類し、

前記アドレス検出ステップで検出された前記画像記憶手段のアドレスに対応する前記第2の画像の画素のクラスに対応する前記予測係数と、前記画像記憶手段に記憶されている前記第1の画像の画素とを用いて所定の演算を行うことにより、前記アドレス検出ステップで検出された前記画像記憶手段のアドレスに対応する前記第2の画像の画素を求めることを特徴とする請求項56に記載の画像処理方法。

【請求項60】 前記予測係数は、学習用の前記第2の画像を用いて学習を行うことにより求められたものであることを特徴とする請求項59に記載の画像処理方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、画像処理装置および画像処理方法に関し、特に、例えば、画像の画素数を増加させることにより、走査線と直交する方向の折り返し歪みを低減（除去）したり、高解像度の画像を生成したりすることができるようにする画像処理装置および画像処理方法に関する。

【0002】

【従来の技術】例えば、テレビジョン受像機で受信され

(6)

9

た画像や、VTR（Video Tape Recorder）、ビデオCD（Compact Disc）プレーヤ、DVD（Digital Versatile Disc）プレーヤで再生された画像などは、図26に示すように、左から右方向に走査が繰り返されることにより、例えば、CRT（Cathode Ray Tube）などに表示される。

【0003】即ち、CRTの蛍光面に、画像に対応するビームが照射され、これにより、蛍光面の各点が光り、画像が表示される。従って、表示された画像（表示画像）は、そのような点、つまり画素の集合といえることができる。

【0004】

【発明が解決しようとする課題】表示画像を、上述のように画素の集合と捉え、表示画像は、元の画像を画素の位置でサンプリングしたデジタル信号と考えることができる。即ち、例えば、自然の風景を撮影して得られる表示画像は、アナログ信号としての実際の自然の風景を、画素の位置をサンプリング点としてサンプリングしたデジタル信号と考えることができる。

【0005】従って、元の画像をサンプリングする際に、いわゆるサンプリングの定理（アナログ信号をサンプリングして得られたデジタル信号から、元のアナログ信号を再生するには、アナログ信号の最高周波数の2倍以上の周波数でサンプリングを行う必要があるという定理）を満たしていない場合、表示画像には、折り返し歪みが生じる。

【0006】上述したように、画像は、左から右方向に走査が繰り返されることから、その方向、即ち、走査線の方である水平方向には、サンプリングの定理を満たすように、プリフィルタがかけられることが多いが、走査線と直交する方向である垂直方向には、従来、そのようなプリフィルタがかけられず、このため、表示画像には、垂直方向の折り返し歪みが生じる課題があった。

【0007】即ち、例えば、いま、第Nフレームの、ある垂直方向に注目し、その垂直方向における元の画像が、図27（A）に実線で示すように、1ライン（水平走査期間）に対応する周波数の1/2よりも高い周波数の信号成分を有する場合、サンプリングの定理を満たさないことから、折り返し歪みが生じ、表示画像として、元の画像を得ることはできず、同図（A）において点線で示すような信号に対応する画像が得られる。

【0008】そして、このような折り返し歪みは、例えば、Y/C分離や、ノイズ除去、さらには画質改善のための処理、その他の信号処理に弊害を及ぼす。

【0009】また、視覚的には、折り返し歪みが生じ、上述したように、図27（A）に実線で示すような信号が、同図（A）に点線で示すような信号となっても、各画素における画素値が変化しなければ、解像度が悪くなるだけで、視聴者が、それほど大きな違和感を感じることはない。しかしながら、例えば、葉の生い茂った木が

10

風に吹かれている風景などについての画像に関しては、第Nフレームでは、図27（A）に実線で示すような信号が、第N+1フレームでは、同図（B）に示すように変化する。このように折り返し歪みが生じている信号が変化すると、表示画像に、いわゆる画面のざわざわ感が感じられ、これは、視聴者に大きな違和感を感じさせる。

【0010】一方、ある1フレームの信号に注目した場合に、その信号は、既に、図27（A）に点線で示すように、垂直方向の折り返し歪みを含むものであるから、その1フレームの信号のみから、高周波成分を含む元の信号を再生することは、サンプリングの定理から困難であり、また、既に垂直方向の折り返し歪みを有する画像に、垂直方向のプリフィルタをかけて折り返し歪みを除去することも困難である。

【0011】本発明は、このような状況に鑑みてなされたものであり、画像から、それに含まれていない元の高周波数成分を含む、より画素数の多い画像、即ち、高解像度の画像を生成することができるようにし、さらに、これにより、例えば、折り返し歪みの除去などを可能にするものである。

【0012】

【課題を解決するための手段】請求項1に記載の画像処理装置は、第1の画像の動きに対応した位置に画素を想定することにより、第2の画像を生成する想定手段を備えることを特徴とする。

【0013】請求項31に記載の画像処理方法は、第1の画像の動きに対応した位置に画素を想定することにより、第2の画像を生成する想定ステップを備えることを特徴とする。

【0014】請求項1に記載の画像処理装置においては、想定手段が、第1の画像の動きに対応した位置に画素を想定することにより、第2の画像を生成するようになされている。

【0015】請求項31に記載の画像処理方法においては、第1の画像の動きに対応した位置に画素を想定することにより、第2の画像を生成するようになされている。

【0016】

【発明の実施の形態】以下に、本発明の実施の形態を説明するが、その前に、特許請求の範囲に記載の発明の各手段と以下の実施の形態との対応関係を明らかにするために、各手段の後の括弧内に、対応する実施の形態（但し、一例）を付加して、本発明の特徴を記述すると、次のようになる。

【0017】即ち、請求項1に記載の画像処理装置は、第1の画像から第2の画像を生成する画像処理装置であって、第1の画像を受信する受信手段（例えば、図1に示すチューナ1など）と、第1の画像の動きに対応した位置に画素を想定することにより、第2の画像を生成す



(7)

11

る想定手段（例えば、図4に示すコントローラ14および解像度創造用メモリ部15など）とを備えることを特徴とする。

【0018】請求項2に記載の画像処理装置は、第1の画像の動きを検出する動き検出手段（例えば、図4に示す動き検出部12など）をさらに備え、想定手段が、動き検出手段によって検出された第1の画像の動きに対応した位置に画素を想定することにより、第2の画像を生成することを特徴とする。

【0019】請求項6に記載の画像処理装置は、動き検出手段が、第1の画像の動きを、その第1の画像を構成する画素より細かい単位で検出し、想定手段が、第1の画像を記憶する、第1の画像の1画面分より多い記憶容量の画像記憶手段（例えば、図4に示す解像度想像用メモリ部15など）と、画像記憶手段に第1の画像を書き込むときのアドレスを、その第1の画像の動きに基づいて制御するとともに、画像記憶手段の記憶値の読み出しを制御する制御手段（例えば、図4に示すコントローラ14など）とを有することを特徴とする。

【0020】請求項8に記載の画像処理装置は、第1の画像のシーンチェンジを検出するシーンチェンジ検出手段（例えば、図4に示すシーンチェンジ検出部13など）と、第1の画像に、シーンチェンジが生じたときに、画像記憶手段の記憶値をクリアするクリア手段（例えば、図4に示すコントローラ14など）とをさらに備えることを特徴とする。

【0021】請求項9に記載の画像処理装置は、第2の画像をフィルタリングするフィルタ手段（例えば、図4に示す垂直LPF16など）をさらに備えることを特徴とする。

【0022】請求項10に記載の画像処理装置は、第2の画像をフィルタリングするフィルタ手段（例えば、図4に示す垂直LPF16など）と、フィルタ手段によってフィルタリングされた第2の画像を、第1の画像と同一の画素数にして出力する出力手段（例えば、図4に示すフレームメモリ部17など）とをさらに備えることを特徴とする。

【0023】請求項11に記載の画像処理装置は、画像記憶手段のアドレスのうち、第1の画像の画素が記憶されていないものを検出するアドレス検出手段（例えば、図25に示す書き込みフラグ記憶部42および画素生成部43など）と、アドレス検出手段によって検出された画像記憶手段のアドレスに対応する第2の画像の画素を生成する生成手段（例えば、図25に示す画素生成部43など）とをさらに備えることを特徴とする。

【0024】請求項12に記載の画像処理装置は、アドレス検出手段が、画像記憶手段のアドレスに、第1の画像の画素が書き込まれたときに、その旨を表すフラグが、対応するアドレスに書き込まれる、フラグを記憶するフラグ記憶手段（例えば、図25に示す書き込みフラ

12

グ記憶部42など）を有することを特徴とする。

【0025】請求項14に記載の画像処理装置は、生成手段が、アドレス検出手段によって検出された画像記憶手段のアドレスに対応する第2の画像の画素を、画像記憶手段に記憶されている第1の画像の画素の性質に応じて、所定のクラスに分類するクラス分類手段（例えば、図18に示すクラス分類部201など）と、クラスごとに、所定の予測係数を記憶している予測係数記憶手段（例えば、図18に示す係数ROM207など）と、アドレス検出手段によって検出された画像記憶手段のアドレスに対応する第2の画像の画素のクラスに対応する予測係数と、画像記憶手段に記憶されている第1の画像の画素とを用いて所定の演算を行うことにより、アドレス検出手段によって検出された画像記憶手段のアドレスに対応する第2の画像の画素を求める演算手段（例えば、図18に示す予測演算回路206など）とを有することを特徴とする。

【0026】請求項16に記載の画像処理装置は、第1の画像を複数の領域に分割する領域分割手段（例えば、図10に示す領域分割部21並びにスイッチ22Aおよび22Bなど）と、第1の画像の複数の領域それぞれに対応する第2の画像の複数の領域を合成することにより、第2の画像を生成する合成手段（例えば、図10に示す合成部24など）とをさらに備え、想定手段が、第1の画像の動きに対応した位置に画素を想定することにより、第1の画像の複数の領域それぞれに対応する第2の画像の複数の領域を求めることを特徴とする。

【0027】請求項17に記載の画像処理装置は、第1の画像の複数の領域それぞれの動きを検出する動き検出手段（例えば、図10に示す動き検出部12など）をさらに備え、想定手段が、動き検出手段によって検出された第1の画像の複数の領域それぞれの動きに対応した位置に画素を想定することにより、第2の画像の複数の領域それぞれを求めることを特徴とする。

【0028】請求項21に記載の画像処理装置は、動き検出手段が、第1の画像の複数の領域それぞれの動きを、その第1の画像を構成する画素より細かい単位で検出し、想定手段が、第1の画像の複数の領域をそれぞれ記憶する、第1の画像の1画面分より多い記憶容量の複数の画像記憶手段（例えば、図10に示す解像度想像用メモリ部15Aおよび15Bなど）と、複数の画像記憶手段それぞれに、第1の画像の複数の領域それぞれを書き込むときのアドレスを、その第1の画像の複数の領域それぞれの動きに基づいて制御するとともに、複数の画像記憶手段の記憶値の読み出しを制御する制御手段（例えば、図10に示すコントローラ14Aおよび14Bなど）とを有することを特徴とする。

【0029】請求項23に記載の画像処理装置は、第1の画像のシーンチェンジを検出するシーンチェンジ検出手段（例えば、図10に示すシーンチェンジ検出部13

50



(8)

13

など)と、第1の画像に、シーンチェンジが生じたときに、複数の画像記憶手段の記憶値をクリアするクリア手段(例えば、図10に示すコントローラ14Aおよび14Bなど)とをさらに備えることを特徴とする。

【0030】請求項24に記載の画像処理装置は、第2の画像をフィルタリングするフィルタ手段(例えば、図10に示す垂直LPF16など)をさらに備えることを特徴とする。

【0031】請求項25に記載の画像処理装置は、第2の画像をフィルタリングするフィルタ手段(例えば、図10に示す垂直LPF16など)と、フィルタ手段によってフィルタリングされた第2の画像を、第1の画像と同一の画素数にして出力する出力手段(例えば、図10に示すフレームメモリ部17など)とをさらに備えることを特徴とする。

【0032】請求項26に記載の画像処理装置は、画像記憶手段のアドレスのうち、第1の画像の画素が記憶されていないものを検出するアドレス検出手段(例えば、図12に示す書き込みフラグ記憶部42および画素生成部43など)と、アドレス検出手段によって検出された画像記憶手段のアドレスに対応する第2の画像の画素を生成する生成手段(例えば、図12に示す画素生成部43など)とをさらに備えることを特徴とする。

【0033】請求項27に記載の画像処理装置は、アドレス検出手段が、画像記憶手段のアドレスに、第1の画像の画素が書き込まれたときに、その旨を表すフラグが、対応するアドレスに書き込まれる、フラグを記憶するフラグ記憶手段(例えば、図12に示す書き込みフラグ記憶部42など)を有することを特徴とする。

【0034】請求項29に記載の画像処理装置は、生成手段が、アドレス検出手段によって検出された画像記憶手段のアドレスに対応する第2の画像の画素を、画像記憶手段に記憶されている第1の画像の画素の性質に応じて、所定のクラスに分類するクラス分類手段(例えば、図18に示すクラス分類部201など)と、クラスごとに、所定の予測係数を記憶している予測係数記憶手段(例えば、図18に示す係数ROM207など)と、アドレス検出手段によって検出された画像記憶手段のアドレスに対応する第2の画像の画素のクラスに対応する予測係数と、画像記憶手段に記憶されている第1の画像の画素とを用いて所定の演算を行うことにより、アドレス検出手段によって検出された画像記憶手段のアドレスに対応する第2の画像の画素を求める演算手段(例えば、図18に示す予測演算回路206など)とを有することを特徴とする。

【0035】請求項36に記載の画像処理方法は、画像処理装置が、第1の画像を記憶する、第1の画像の1画面分より多い記憶容量の画像記憶手段(例えば、図4に示す解像度想像用メモリ部15など)を有し、動き検出ステップにおいて、第1の画像の動きを、その第1の画

14

像を構成する画素より細かい単位で検出し、想定ステップにおいて、画像記憶手段に第1の画像を書き込むときのアドレスを、その第1の画像の動きに基づいて制御するとともに、画像記憶手段の記憶値の読み出しを制御することを特徴とする。

【0036】請求項42に記載の画像処理方法は、画像処理装置が、画像記憶手段のアドレスに、第1の画像の画素が書き込まれたときに、その旨を表すフラグが、対応するアドレスに書き込まれる、フラグを記憶するフラグ記憶手段(例えば、図25に示す書き込みフラグ記憶部42など)をさらに有し、アドレス検出ステップにおいて、フラグ記憶手段を参照することにより、第1の画像の画素が記憶されていない画像記憶手段のアドレスを検出することを特徴とする。

【0037】請求項44に記載の画像処理方法は、画像処理装置が、所定のクラスごとに、所定の予測係数を記憶している予測係数記憶手段(例えば、図18に示す係数ROM207など)をさらに有し、生成ステップにおいて、アドレス検出ステップで検出された画像記憶手段のアドレスに対応する第2の画像の画素を、画像記憶手段に記憶されている第1の画像の画素の性質に応じて、所定のクラスのうちのいずれかに分類し、アドレス検出ステップで検出された画像記憶手段のアドレスに対応する第2の画像の画素のクラスに対応する予測係数と、画像記憶手段に記憶されている第1の画像の画素とを用いて所定の演算を行うことにより、アドレス検出ステップで検出された画像記憶手段のアドレスに対応する第2の画像の画素を求めることを特徴とする。

【0038】請求項51に記載の画像処理方法は、画像処理装置が、第1の画像の複数の領域をそれぞれ記憶する、第1の画像の1画面分より多い記憶容量の複数の画像記憶手段(例えば、図10に示す解像度想像用メモリ部15Aおよび15Bなど)を有し、動き検出ステップにおいて、第1の画像の複数の領域それぞれの動きを、その第1の画像を構成する画素より細かい単位で検出し、想定ステップにおいて、複数の画像記憶手段それぞれに、第1の画像の複数の領域それぞれを書き込むときのアドレスを、その第1の画像の複数の領域それぞれの動きに基づいて制御するとともに、複数の画像記憶手段の記憶値の読み出しを制御することを特徴とする。

【0039】請求項57に記載の画像処理方法は、画像処理装置が、画像記憶手段のアドレスに、第1の画像の画素が書き込まれたときに、その旨を表すフラグが、対応するアドレスに書き込まれる、フラグを記憶するフラグ記憶手段(例えば、図12に示す書き込みフラグ記憶部42など)をさらに有し、アドレス検出ステップにおいて、フラグ記憶手段を参照することにより、第1の画像の画素が記憶されていない画像記憶手段のアドレスを検出することを特徴とする。

【0040】請求項59に記載の画像処理方法は、画像

(9)

15

処理装置が、所定のクラスごとに、所定の予測係数を記憶している予測係数記憶手段（例えば、図 18 に示す係数 ROM 207 など）をさらに有し、生成ステップにおいて、アドレス検出ステップで検出された画像記憶手段のアドレスに対応する第 2 の画像の画素を、画像記憶手段に記憶されている第 1 の画像の画素の性質に応じて、所定のクラスのうちのいずれかに分類し、アドレス検出ステップで検出された画像記憶手段のアドレスに対応する第 2 の画像の画素のクラスに対応する予測係数と、画像記憶手段に記憶されている第 1 の画像の画素とを用いて所定の演算を行うことにより、アドレス検出ステップで検出された画像記憶手段のアドレスに対応する第 2 の画像の画素を求めることを特徴とする。

【0041】なお、勿論この記載は、各手段を上記したものに限定することを意味するものではない。

【0042】図 1 は、本発明を適用したテレビジョン受信機の一実施の形態の構成例を示している。

【0043】チューナ 1 は、図示せぬアンテナで受信された受信信号から、所定のチャンネルのテレビジョン放送信号を検波、復調し、LPF (Low Pass Filter) 2 に出力するようになされている。LPF 2 は、その後段の A/D 変換器 3 でサンプリング (A/D 変換) を行う際に、サンプリングの定理を満たすようにするためのプリフィルタで、チューナ 1 からのテレビジョン放送信号の高周波数成分を制限し、A/D 変換器 3 に出力するようになされている。A/D 変換器 3 は、LPF 2 の出力をサンプリングすることにより、アナログのテレビジョン放送信号を、デジタル信号に変換し、歪み補正部 4 に出力するようになされている。歪み補正部 4 は、A/D 変換器 3 からのテレビジョン放送信号から、前述したような垂直方向の折り返し歪みを除去 (低減) し、D/A 変換器 5 に出力するようになされている。D/A 変換器 5 は、歪み補正部 4 からのデジタルの画像信号を D/A 変換することによりアナログ信号とし、CRT 6 に出力するようになされている。CRT 6 は、D/A 変換器 5 の出力に対応した画像を表示するようになされている。

【0044】次に、その動作について説明する。

【0045】チューナ 1 では、アンテナで受信された受信信号から、所定のチャンネルのテレビジョン放送信号が検波、復調され、LPF 2 を介して A/D 変換器 3 に出力される。A/D 変換器 3 では、LPF 2 を介して供給されるテレビジョン放送信号が A/D 変換され、歪み補正部 4 に供給される。

【0046】ここで、図示していないが、チューナ 1 と LPF 2 との間、または歪み補正部 4 と D/A 変換器 5 との間には、例えば、Y/C 分離その他の必要な画像処理を行う回路が設けられている。なお、A/D 変換器 3 では、そこに、Y/C 分離前のコンポジット信号が入力される場合には、例えば、サブキャリアの周波数で、ま

16

た、Y/C 分離後の信号が入力される場合には、例えば、13.5 MHz など、それぞれサンプリングが行われる。

【0047】歪み補正部 4 は、A/D 変換器 3 からデジタルの画像信号を受信すると、その画像信号から、垂直方向 (水平走査線と直交する方向) の折り返し歪みを除去し、D/A 変換器 5 を介して、CRT 6 に出力する。これにより、CRT 6 では、折り返し歪みのない画像が表示される。

【0048】次に、図 1 の歪み補正部 4 における折り返し歪みの除去処理についての詳細を説明するが、その前に、その前段階の準備として、その折り返し歪みの除去 (低減) 方法の原理について説明する。

【0049】歪み補正部 4 は、垂直方向の折り返し歪みを含む画像から、高周波成分を含む元の画像 (例えば、風景を撮影して得られる画像について、その風景を実際に見たときに、人間が視覚的に認識する画像 (またはそれにより近い画像)) を再生し、それに垂直方向のプリフィルタをかけて垂直方向の高周波数成分をカットすることにより、画像に含まれていた折り返し歪みを除去 (折り返し歪みの生じていない画像を生成) するようになされている。

【0050】垂直方向の折り返し歪みを含む画像 (以下、適宜、歪み画像という) からの元の画像の再生は、次のようにして行われる。

【0051】即ち、いま、例えば、図 2 に示すように、ある垂直方向の 1 列に注目し、そこにおける元の画像が、同図に実線で示すような、水平走査期間に対応する周波数の 1/2 よりも高い周波数で周期的に変化し、その位相が時間とともに垂直方向にずれていく三角波で表されるとする。

【0052】この場合、ある第 N フレームだけに注目すると、図 2 (A) に点線で示すように、元の画像を走査線上でサンプリングすることにより得られるサンプル値を結んだ、元の画像とはまったく異なる歪み画像が得られる。

【0053】次に、第 N+1 フレームでは、そのフレームだけに注目すると、やはり、第 N フレームだけに注目した場合と同様に、元の画像とはまったく異なる歪み画像が得られる。

【0054】しかしながら、上述したように、歪み画像の位相が時間とともに垂直方向にずれていっているの、第 N+1 フレームで得られる歪み画像は、第 N フレームにおける場合とは異なる位置で元の画像をサンプリングすることにより得られるサンプル値を結んだものとなる。

【0055】従って、第 N フレームにおけるサンプル値のサンプリング点 (図 2 において○印で示す) を、元の画像の位相の変化、つまり歪み画像の動きに対応した位置に移動し、その移動後のサンプリング点におけるサン

(10)

17

プル値、および第N+1フレームにおけるサンプル値を結べば、その波形は、図2（B）において点線で示すように、元の画像に近づくことになる。

【0056】以下、同様に、過去のフレームにおけるサンプル値のサンプリング点を、歪み画像の動きに対応した位置に移動し、その移動後のサンプリング点におけるサンプル値、および現在のフレームにおけるサンプル値を結んでいくことにより、図2（C）乃至図2

（E）に示すように、徐々に、元の画像が再生されていく。

【0057】以上のように、歪み画像の動きに対応した位置にサンプリング点を移動していき、その移動後のサンプリング点におけるサンプル値を用いることで、元の画像を再生することができる。即ち、歪み画像の動きに対応した位置に画素を想定していくことで、垂直方向の画素数が増加し、これによりサンプリングの定理が満たされ、その結果、元の画像が得られるようになる。

【0058】これは、次のように考えることもできる。即ち、歪み画像は、画面の中の固定の位置にある水平走査線上で、元の画像をサンプリングしたものと捉えることができ、従って、元の画像が動いている場合において、時間的に連続する複数フレームそれぞれの固定の位置にある水平走査線上では、図2に示したように、元の画像の異なる位置の信号がサンプリングされる。従って、そのような、元の画像の異なる位置の信号（サンプル値）を、時間的に連続する複数フレームの歪み画像から集め、その動きにしたがって合成することにより、固定の位置にある水平走査線の間を、いわば埋めて1フレームの画像を構成すれば、元の画像が得られることになる。なお、このことは、時間方向の解像度の、空間解像度への反映といえることができる。

【0059】以上のようにして、歪み補正部4では、例えば、図3（A）に示すような、時間的に連続する歪み画像の各フレームについて、その動きに対応した位置に、過去のフレームの歪み画像を構成する画素を想定していくことにより、同図（B）に示すように、垂直方向の画素数、即ち、水平走査線数が増加した、折り返し歪みのない画像が生成されるようになされている。

【0060】なお、以上のような歪み画像から元の画像を再生する方法を用いるには、歪み画像（従って、元の画像についても同様）に動きがある必要がある。但し、歪み画像に動きがない場合においては、前述したように、解像度は悪くなるが、画面のざわざわ感は生じないので、折り返し歪みは、視覚的に、それほど問題とならない。

【0061】さらに、歪み画像として、その形状が変化するような物体が表示されている場合には、その形状の変化する速さ $v_1$ に対して、物体自体の動き（移動）の速さ $v_2$ が充分速いこと（ $v_1 \ll v_2$ であること）が必要である。但し、このこと（ $v_1 \ll v_2$ であるこ

18

と）は、一般的に成立することが多い。

【0062】次に、図4は、図1の歪み補正部4の構成例を示している。なお、ここでは、説明を簡単にするために、例えば、ビデオカメラをパンやチルトすることにより、風景などを撮影することにより得られた、全画面が同一の動きをする歪み画像が入力されるものとする。

【0063】フレームメモリ部11は、連続する2フレームの歪み画像を記憶するようになされている。即ち、フレームメモリ部11は、現フレームメモリ11Aおよび前フレームメモリ11Bを有し、現フレームメモリ11Aは、いま入力された現フレームを、前フレームメモリ11Bは、現フレームの1つ前の前フレーム（従って、現フレームが現フレームメモリ11Aに供給される直前まで、その現フレームメモリ11Aに記憶されていたフレーム）を、それぞれ記憶するようになされている。

【0064】動き検出部12は、フレームメモリ部11を参照し、現フレームの、前フレームに対する動きを表す動きベクトルを検出し、コントローラ14に供給するようになされている。なお、上述したように、ここでは、歪み画像として、全画面が同一の動きをするものが入力されるので、全画面（1フレーム）について、1つの動きベクトルが検出されるようになされている。また、ここでは、動き検出部12は、動きベクトルを構成する成分のうち、折り返し歪みが生じている方向、即ち、垂直方向の成分についてだけは、歪み画像を構成する画素より細かい単位で動きを検出するようになされている。

【0065】ここで、画素より細かい単位での動きベクトルの検出は、例えば、次のようにして行うことができる。即ち、例えば、動きベクトルを検出しようとする現フレームの、例えば $8 \times 8$ 画素（横 $\times$ 縦）のブロック（以下、適宜、処理対象ブロックという）と同一の大きさで同一の形のブロックを、前フレームの所定の位置に考え、まず最初に、そのブロック（以下、適宜、参照ブロックという）と処理対象ブロックとの、対応する位置にある画素の画素値どうしの差分の絶対値和など（以下、適宜、誤差という）を求める。

【0066】画素単位で動きベクトルを検出する場合、参照ブロックを画素単位で種々の位置に移動して得られる誤差のうち、その最小値を与える参照ブロックの位置からの、処理対象ブロックへのベクトルが動きベクトルとされるが、このようにして画素単位で動きベクトルを検出した後、例えば、図5に示すように、誤差と参照ブロックの位置との対応関係を考え、誤差を、例えば直線で線形補間したときに得られる最小値の参照ブロックの位置（図5において $\times$ 印で示す部分）を求めれば、その位置に対応するベクトルが、画素より細かい単位での動きベクトルとなる。

【0067】図4に戻り、シーンチェンジ検出部13

(11)

19

は、フレームメモリ部11を参照することにより、いわゆるシーンチェンジを検出するようになされている。即ち、シーンチェンジ検出部13は、例えば、上述した画素単位で動きベクトルを検出する場合と同様に、現フレームを構成する各ブロックの誤差の最小値を求め、その誤差の最小値の、現フレームを構成するブロックについての総和が所定の閾値以上の場合、前フレームから現フレームにかけてシーンチェンジがあったと判定し、その旨を、コントローラ14に出力するようになされている。

【0068】コントローラ14は、動き検出部12からの動きベクトルに基づいて、解像度創造用メモリ部15における書き込みアドレスおよび読み出しアドレスを制御するようになされている。また、コントローラ14は、シーンチェンジ検出部13からシーンチェンジである旨を受信したとき、解像度創造用メモリ部15における書き込みアドレスおよび読み出しアドレスをリセットするとともに、その記憶値を、所定の初期値にクリアするようになされている。

【0069】解像度創造用メモリ部15は、歪み画像の1フレーム分より多い記憶容量を有するメモリなどで構成され、コントローラ14の制御の下、フレームメモリ部11の現フレームメモリ11Aに記憶された現フレームの画像データを記憶し、また、記憶した画像データを読み出して、垂直LPF16に出力するようになされている。

【0070】即ち、解像度創造用メモリ部15は、例えば、図6に示すように、水平方向（水平走査線の方向）には $P_H'$ 個の画素についての画像データを、垂直方向には $P_V'$ 個の画素についての画像データを、それぞれ記憶できるようになされている。なお、歪み画像を構成する水平方向または垂直方向の画素数を、それぞれ $P_H$ または $P_V$ とすると、ここでは、例えば、 $P_H' \geq P_H$ 、 $P_V' \geq 4P_V$ となっており、従って、解像度創造用メモリ部15は、水平方向については、歪み画像を構成する水平方向の画素数と同一の数以上の画素を、垂直方向については、歪み画像を構成する垂直方向の画素数の4倍以上の画素を、それぞれ記憶することができるようになされている。

【0071】ここで、解像度創造用メモリ部15のアドレスについては、絶対アドレスと相対アドレスとが定義されている。絶対アドレスは、例えば、解像度創造用メモリ部15の最も左上の記憶領域を原点（0，0）とし、水平または垂直方向をそれぞれxまたはy軸としてシーケンシャルに付されており、従って、左からi+1番目で、上からj+1番目の絶対アドレスは、（i，j）となっている。

【0072】一方、相対アドレスは、図7に示すように、相対アドレスポインタが指している絶対アドレスを原点とするもので、相対アドレスポインタの左からi+

20

1番目で、上からj+1番目の相対アドレスは、（i，j）と表される。

【0073】相対アドレスポインタは、コントローラ14により制御されるようになされており、解像度創造用メモリ部15への画像データの書き込み、およびそこから画像データの読み出しは、相対アドレスポインタを最も左上の点とする、例えば、 $P_H \times 4P_V$ 画素の範囲（同図において点線で示す部分）（以下、適宜、アクセス範囲という）を対象として行われるようになされている。

【0074】ここで、上述のように、解像度創造用メモリ部15への画像データの書き込みは、アクセス範囲を対象として行われ、ここでは、アクセス範囲の大きさは、 $P_H \times 4P_V$ 画素の範囲となっている。従って、この場合、アクセス範囲には、水平方向については、歪み画像を構成する水平方向の画素数と同一数の画素の書き込みしかできないが、垂直方向については、歪み画像を構成する垂直方向の画素数の4倍の画素の書き込みをすることができる。このようにしたのは、図2や図3で説明したように、歪み画像の各フレームについて、その動きに対応した位置に画素を想定していくことにより、垂直方向の画素数（水平走査線の数）が増加した、折り返し歪みのない画像を生成（創造）するためである。

【0075】即ち、アクセス範囲への1フレームの歪み画像の書き込みは、図8に斜線を付して示すように、水平方向については、相対アドレスポインタが指すアドレスから順次行われていくが、垂直方向については、相対アドレスポインタが指すアドレスから3行おきに行われていく。従って、歪み画像における1画素分の垂直方向の動きは、アクセス範囲においては4画素分に相当し、その結果、歪み画像における1/4画素分単位の垂直方向の動きに対応した位置に画素を想定することができることになる。つまり、垂直方向にだけ注目すれば、歪み画像の動きにしたがってアクセス範囲を1画素より細かい単位（ここでは、歪み画像を構成する画素間の距離の1/4の単位）で移動させることができ、そのようなアクセス範囲に、歪み画像を3行おきに書き込んで行けば、図2や図3で説明したように、水平走査線の間が埋められていき、垂直方向の解像度が4倍となった画像（このように、いわば解像度が創造された画像が得られるので、メモリ部15を、解像度創造用メモリ部と呼んでいる）、即ち、垂直方向のサンプリング点の数が4倍になった画像が、元の画像として得られることになる。

【0076】再び、図4に戻り、解像度創造用メモリ部15に記憶され、アクセス範囲から読み出された、垂直方向の画素数が増加した画像データは、垂直LPF16に供給されるようになされている。垂直LPF16は、解像度創造用メモリ部15からの画像データに対して、垂直方向にLPFをかけることにより、その最高周波数成分を、垂直方向のサンプリング点の数が1/4になっ

(12)

21

ても折り返し歪みが生じないように制限し、フレームメモリ部17に供給するようになされている。フレームメモリ部17は、例えば、アクセス範囲と同様の記憶容量を有し、垂直LPFから供給される、垂直方向の最高周波数が制限された画像データを一時記憶し、また、記憶した画像データを、例えば3ライン（3水平走査線）おきに読み出すことにより、1フレームの歪み画像を構成するライン数と同一数のラインからなる画像を構成して出力するようになされている。

【0077】次に、図4の歪み補正部4の動作について、図9のフローチャートを参照して説明する。

【0078】歪み画像は、フレームメモリ部11に供給され、現フレームメモリ11Aに記憶される。そして、次のフレームの歪み画像が供給されると、その歪み画像が、現フレームとして、現フレームメモリ11Aに記憶されるとともに、いままで現フレームメモリ11Aに記憶されていた歪み画像が、前フレームとして前フレームメモリ11Bに供給されて記憶される。以下、フレームメモリ部11では、同様の処理が繰り返される。

【0079】フレームメモリ部11の現フレームメモリ11Aにおいて、最初のフレームが記憶されると、シーンチェンジ検出部13では、シーンチェンジを検出するのと同様にして、最初のフレームが現フレームメモリ11Aに記憶されたことが検出され、シーンチェンジがあった旨が、コントローラ14に知らされる。

【0080】ここで、シーンチェンジ検出部13では、最初のフレームが現フレームメモリ11Aに記憶された場合、前フレームメモリ11Bには、まだ画像データが記憶されていないため、両者の差分の絶対値和が大きくなり、上述のように、シーンチェンジが検出されるが、ここでは、シーンチェンジか、または最初のフレームが現フレームメモリ11Aに記憶されたのかを区別する必要はないので、問題はない。

【0081】コントローラ14は、シーンチェンジ検出部13からシーンチェンジ（但し、実際には、上述したように、シーンチェンジではなく、現フレームメモリ11Aへの最初のフレームの記憶）を受信すると、ステップS1において、解像度創造用メモリ部15をリセットする。即ち、相対アドレスポインタを、絶対アドレスの原点（0，0）に移動させ、さらに、解像度創造用メモリ部15の記憶値をすべて、所定の初期値にクリアする。

【0082】そして、ステップS2に進み、現フレームメモリ11Aに記憶された歪み画像が、解像度創造用メモリ部15に供給されて記憶される。この歪み画像の書き込みは、上述したように、アクセス範囲内に行われ、また、垂直方向については4画素ごと（3画素おき）に行われる。なお、解像度創造用メモリ部15に歪み画像を書き込むときのアドレス制御は、コントローラ14によって行われる。

22

【0083】その後、ステップS3に進み、アクセス範囲内において、歪み画像の書き込みが行われていない記憶領域の補間が行われる。即ち、ステップS2においてのアクセス範囲内への歪み画像の書き込みは、上述したように、垂直方向については、4画素ごとに行われるため、それを、そのまま読み出したのでは、いわば隙間のあいたものとなる。そこで、ステップS3では、アクセス範囲内において、歪み画像の書き込みが行われていない記憶領域の補間が行われる。具体的には、ステップS2の終了後は、図8に斜線を付して示す部分（ライン）の書き込みしか行われていないので、ステップS3では、例えば、その書き込みが行われた部分が、その下の3ラインにコピーされる。

【0084】補間が終了すると、ステップS4に進み、アクセス範囲内の画像データが読み出され、垂直LPF16およびフレームメモリ部17を介して出力される。なお、アクセス範囲内の画像データを読み出すときのアドレス制御も、コントローラ14によって行われる。また、アクセス範囲内からの画像データの読み出しは、書き込み時と異なり、隙間をあげずに、1ラインごとに行われる。

【0085】その後、次のフレームがフレームメモリ部11に供給されると、シーンチェンジ検出部13では、ステップS5において、シーンチェンジがあったかどうか判定される。ステップS5において、シーンチェンジがあったと判定された場合、ステップS1に戻り、上述した場合と同様の処理が行われる。

【0086】一方、ステップS5において、シーンチェンジがなかったと判定された場合、ステップS6に進み、動き検出部12において、動きベクトルが検出される。なお、ここでは、垂直方向については、上述したようにして、1ラインの間隔よりも短い単位で動きベクトルが検出される。動き検出部12で検出された動きベクトルは、コントローラ14に供給される。コントローラ14は、動きベクトルを受信すると、その動きベクトルに対応する分だけ相対アドレスポインタを移動させる。

【0087】ここで、相対アドレスポインタは、水平方向については、動きベクトルの水平方向の成分と同一の画素数だけ移動されるが、垂直方向については、動きベクトルの垂直方向の成分を4倍した値を、例えば、四捨五入したものと同一の画素数だけ移動される。これは、アクセス範囲が、上述したように、垂直方向については、歪み画像の4倍の画素数に対応する記憶容量を有するからである。

【0088】相対アドレスポインタの移動後は、ステップS8に進み、現フレームメモリ11Aに記憶された歪み画像（ステップS6で動きベクトルが検出された画像）が、解像度創造用メモリ部15に供給される。そして、その歪み画像は、ステップS2における場合と同様にして、アクセス範囲内に、4ラインごとにより書き込み

(13)

23

れ、ステップS 9に進む。ステップS 9では、ステップS 4における場合と同様に、アクセス範囲内の画像データが読み出され、垂直L P F 1 6およびフレームメモリ部1 7を介して出力される。

【0089】その後、ステップS 1 0に進み、歪み画像が終了したかどうか、即ち、フレームメモリ部1 1への画像の供給がなくなったかどうかが判定される。ステップS 1 0において、歪み画像が終了していないと判定された場合、即ち、さらに次のフレームがフレームメモリ部1 1に供給された場合、ステップS 5に戻り、ステップS 5でシーンチェンジがあったと判定されるか、またはステップS 1 0で歪み画像が終了したと判定されるまで、ステップS 5乃至S 1 0の処理が繰り返される。また、ステップS 1 0において、歪み画像が終了したと判定された場合、処理を終了する。

【0090】ステップS 5乃至S 1 0の処理が繰り返されることにより、アクセス範囲内には、図2や図3で説明したように、歪み画像（第1の画像）の水平走査線の間の、その動きに対応した位置に画素が想定され、これにより、元の画像（第2の画像）が再生されていく。即ち、いま、元の画像に含まれる垂直方向の最高周波数が、歪み画像の水平走査期間の $1/4$ に対応する周波数の $1/2$ 以下であったとすれば、ステップS 5乃至S 1 0の処理が数回繰り返されることにより、アクセス範囲内には、垂直方向に十分なサンプリング点（画素）（サンプリングの定理を満足するのに必要なサンプリング点）が想定された、垂直方向の折り返し歪みがない画像が形成されていく。

【0091】従って、このような折り返し歪みのない画像に、Y/C分離や、ノイズ除去、画質改善のための処理、その他の信号処理を施すようにすることにより、従来生じていた弊害を防止することが可能となる。

【0092】また、C R T 6が、歪み画像の4倍の水平走査線を有する高解像度のものであれば、解像度創造用メモリ部1 5におけるアクセス範囲内の記憶値を、そのままC R T 6に供給することで、垂直方向の折り返し歪みのない高解像度の画像を表示することが可能となる。

【0093】なお、ここでは、解像度創造用メモリ部1 5の出力を、垂直L P F 1 6およびフレームメモリ部1 7を介することにより、歪み画像と同一の解像度を有する画像を表示することとしているため、解像度は改善されないが、垂直L P F 1 6によって帯域制限されるため、前述したような画面のざわざわ感が生じることはなく、視聴者に大きな違和感を感じさせることを防止することができる。

【0094】また、元の画像に含まれる垂直方向の最高周波数が、歪み画像の水平走査期間の $1/4$ に対応する周波数の $1/2$ より高い場合、ステップS 5乃至S 1 0の処理を何回繰り返しても、サンプリングの定理が満たされることはなく、垂直方向の折り返し歪みがない画像

24

は得られない。しかしながら、この場合であっても、垂直方向の画素数は増加するから、垂直方向の折り返し歪みを低減した画像を得ることができ、従って、従来生じていた信号処理上の弊害や、画面のざわざわ感などを低減することができる。

【0095】次に、図1 0は、図1の歪み補正部4の他の構成例を示している。なお、図中、図4における場合と対応する部分については同一の符号を付してあり、以下では、その説明は、適宜省略する。即ち、この歪み補正部4は、領域分割部2 1、スイッチ2 2 Aおよび2 2 B、メモリ2 3 Aおよび2 3 B、並びに合成部2 4が新たに設けられるとともに、コントローラ1 4または解像度創造用メモリ部1 5に代えて、コントローラ1 4 Aと1 4 B、または解像度創造用メモリ部1 5 Aと1 5 Bがそれぞれ設けられている他は、図4における場合と基本的に同様に構成されている。

【0096】また、図4においては、全画面が同一の動きをする歪み画像が入力されるものとしたが、ここでは、1フレームが、異なる動きをする複数の領域としての、例えば、第1と第2の2つの領域からなる歪み画像（例えば、背景となる空を、前景となる航空機が飛行しているものなど）が入力されるものとする。

【0097】このように、ここでは、第1と第2の2つの領域からなる歪み画像が入力されるため、領域分割部2 1では、動き検出部1 2の出力に基づいて、歪み画像が、その第1と第2の2つの領域に分割される。

【0098】即ち、動き検出部1 2は、図4においては全画面についての1つの動きベクトルを検出するようになされていたが、ここでは、歪み画像を、例えば、 $8 \times 8$ 画素や $16 \times 16$ 画素などのブロックに分割したブロック単位で動きベクトルを検出し、そのブロック単位の動きベクトルを、領域分割部2 1に出力するようになされている。

【0099】領域分割部2 1は、動き検出部1 2からの動きベクトルや、隣接する画素の画素値どうしの差分その他を用いて領域分割のための処理を行い、さらにスムージングその他の必要な処理を行うことで、歪み画像を構成する第1と第2の領域を認識し（領域分割し）、その認識結果に対応して、スイッチ2 2 Aおよび2 2 Bを制御する。即ち、例えば、フレームメモリ部1 1から第1の領域を構成する画素の画素値が読み出されるタイミングでは、スイッチ2 2 Aをオンにするとともに、スイッチ2 2 Bをオフにし、これにより、第1の領域を構成する画素の画素値をメモリ2 3 Aに供給して記憶させる。また、フレームメモリ部1 1から第2の領域を構成する画素の画素値が読み出されるタイミングでは、その逆に、スイッチ2 2 Aをオフにするとともに、スイッチ2 2 Bをオンにし、これにより、第2の領域を構成する画素の画素値をメモリ2 3 Bに供給して記憶させる。

【0100】以上のようにして、歪み画像は、第1と第



(14)

25

2の領域に領域分割され、メモリ23Aと23Bにそれぞれ記憶される。

【0101】また、領域分割部21は、第1または第2の領域を代表する1つ動きベクトルを、例えば、その第1または第2の領域に含まれるブロックの動きベクトルに基づいて求め、コントローラ14Aまたは14Bにそれぞれ出力する。コントローラ14Aおよび解像度創造用メモリ部15Aと、コントローラ14Bおよび解像度創造用メモリ部15Bは、いずれも図4のコントローラ14および解像度創造用メモリ部15に対応するもので、コントローラ14および解像度創造用メモリ部15は、1フレーム全体を対象として処理を行うようになされていたが、コントローラ14Aおよび解像度創造用メモリ部15A、またはコントローラ14Bおよび解像度創造用メモリ部15Bは、メモリ23Aまたは23Bに記憶された第1または第2の領域を対象としてそれぞれ処理を行うようになされている。

【0102】従って、ここでは、解像度創造用メモリ部15Aまたは15Bそれぞれのアクセス範囲内に、第1または第2の領域の水平走査線の間の位置に画素が想定され、これにより、第1または第2の領域それぞれについて、元の画像が再生（創造）されていく。

【0103】なお、コントローラ14Aまたは14Bは、シーンチェンジ検出部13からシーンチェンジである旨を受信すると、コントローラ14における場合と同様に、解像度創造用メモリ部15Aまたは15Bをそれぞれリセットするようになされている。

【0104】解像度創造用メモリ部15Aまたは15Bそれぞれのアクセス範囲内に記憶された、水平走査線の間の位置に画素が想定された第1または第2の領域は、いずれも合成部24に供給され、そこで合成される。これにより、第1と第2の領域からなる、垂直方向の折り返し歪みのない高解像度の画像が形成され、この画像は、垂直LPF16およびフレームメモリ部17を介して出力される。

【0105】以上のように、第1と第2の2つの領域からなる歪み画像であっても、各領域ごとに処理を行うことで、垂直方向の折り返し歪みのない（低減された）画像を得ることができる。

【0106】なお、上述の場合においては、歪み画像が2つの領域からなるものとしたが、歪み画像が3以上の領域からなるものである場合には、その3以上の領域それぞれを処理して合成するようにすれば良い。

【0107】さらに、上述の場合には、垂直方向の折り返し歪みを除去するようにしたが、画像に、水平方向の折り返し歪みが含まれる場合には、その折り返し歪みも同様にして除去することが可能である。即ち、例えば、水平方向について、周波数帯域の制限が行われていない場合においては、それにより生じる水平方向の折り返し歪みを、上述した場合と同様にして除去することが可能

26

である。

【0108】また、上述の場合には、垂直方向に、歪み画像の画素数（水平走査線数）の4倍の数の画素を想定するようにしたが、想定する画素数は、これに限定されるものではない。

【0109】さらに、アクセス範囲は、図7に示した相対アドレスポインタの位置によっては、解像度創造用メモリ部15の記憶領域からはみ出す場合があるが、このような場合、そのはみ出し部分は、例えば、解像度創造用メモリ部15の記憶領域の中の、その記憶領域が周辺に繰り返し存在すると仮定したときの位置に確保される。即ち、いま、 $X \geq P_H'$ 、 $Y \geq P_V'$ として、絶対アドレスが $(X, Y)$ で表される位置が、アクセス範囲に含まれるようになった場合、その位置は、絶対アドレスが $(\text{mod}(X, P_H'), \text{mod}(Y, P_V'))$ で表される解像度創造用メモリ部15の記憶領域に確保される。但し、 $\text{mod}(a, b)$ は、 $a$ を $b$ で除算したときの剰余を表す。

【0110】また、上述の場合には、歪み画像の動きを、その歪み画像を構成する画素より細かい単位で検出し、その動きに対応する位置に画素を想定することで、折り返し歪みのない元の画像を復元するようにしたが、この復元は、例えば、次のようにして行うことも可能である。即ち、いま、折り返し歪みのない元の画像を $P$ と表すとともに、歪み画像を $P'$ と表すと、両者の関係は、次式で表すことができる。

【0111】 $P' = f(P)$

但し、 $f()$ は、括弧内の画像をサブサンプルする関数を表す。

【0112】この場合、 $f()$ の逆関数を $g()$ と表すと、式 $P = g(P')$ が成り立つ。

【0113】従って、歪み画像 $P'$ の、元の画像 $P$ への復元は、歪み画像の動きを検出しなくても、原理的には、関数 $g()$ が分かれば行うことができる。

【0114】即ち、上述したように、本発明は、元の画像 $P$ の異なる位置の信号（サンプル値）を、時間的に連続する複数フレームの歪み画像 $P'$ から集め、固定の位置にある水平走査線の間を埋めて元の画像 $P$ を構成するものであるから、関数 $g()$ は、例えば、元の画像 $P$ を教師データとするとともに、その元の画像 $P$ をサブサンプルして得られる、時間的に連続する複数フレームの歪み画像 $P'$ を学習データとして、学習を行うことにより求めることが可能であり、元の画像 $P$ の復元は、このようにして求めた関数 $g()$ によって行うようにすることも可能である。

【0115】次に、図2で説明したように、画像の動きに対応した位置に画素を想定していくことで、その画像の画素数を増加させることは、折り返し歪みの除去の他、例えば、標準解像度または低解像度の画像（以下、適宜、SD（Standard Definition）画像という）を、



(15)

27

高解像度の画像（以下、適宜、HD（High Definition）画像という）に変換したり、また、画像を拡大したりする場合などにも適用することができる。

【0116】そこで、図11は、SD画像のテレビジョン放送信号を、HD画像に変換して表示するテレビジョン受像機の一実施の形態の構成例を示している。なお、図中、図1における場合と対応する部分については、同一の符号を付してある。即ち、図11のテレビジョン受像機は、歪み補正部4またはCRT6に代えて、解像度変換部34またはCRT36がそれぞれ設けられている。他は、図1のテレビジョン受像機と基本的に同様に構成されている。

【0117】解像度変換部34は、A/D変換器3からのSD画像を、HD画像に変換し、D/A変換器5に供給するようになされている。CRT36は、HD画像に対応する高解像度のCRTで、解像度変換部34から、D/A変換器5を介して供給されるHD画像を表示するようになされている。

【0118】図12は、図11の解像度変換部34の構成例を示している。なお、図中、図4または図10の歪み補正部4における場合と対応する部分については、同一の符号を付してある。

【0119】即ち、解像度変換部34においては、図10におけるコントローラ14A、解像度創造用メモリ部15A、スイッチ22A、およびメモリ23Aや、コントローラ14B、解像度創造用メモリ部15B、スイッチ22B、およびメモリ23Bに対応する、M個の高解像度オブジェクト生成部41<sub>1</sub>乃至41<sub>M</sub>が設けられている。但し、高解像度オブジェクト生成部41<sub>m</sub>は（ $m=1, 2, \dots, M$ ）、図10におけるコントローラ14A、解像度創造用メモリ部15A、スイッチ22A、およびメモリ23Aや、コントローラ14B、解像度創造用メモリ部15B、スイッチ22B、およびメモリ23Bに対応するコントローラ14、解像度創造用メモリ部15、スイッチ22、およびメモリ23の他に、書き込みフラグ記憶部42および画素生成部43を有している。

【0120】書き込みフラグ記憶部42は、解像度創造用メモリ部15が記憶する画素数と同一数の書き込みフラグを記憶するようになされている。ここで、書き込みフラグは、解像度創造用メモリ部15の、対応するアドレスに、SD画像の画素が記憶されているかどうかを表す1ビットのフラグで、例えば、記憶されている場合は1にセットされ、記憶されていない場合は0にリセットされるようになされている。この書き込みフラグは、コントローラ14によって、セット/リセットされるようになされている。なお、解像度創造用メモリ部15の、あるアドレスに、SD画像の画素が記憶されていない場合、そのアドレスにおける記憶値は、初期値になっていることから、書き込みフラグは、解像度創造用メモリ部

28

15の記憶値が、初期値かどうかを表すフラグであるということもできる。

【0121】画素生成部43は、書き込みフラグ記憶部42を参照して、解像度創造用メモリ部15から読み出された記憶値が、初期値かどうかを判定し、初期値である場合には、その記憶値のアドレスに対応するHD画像の画素を、解像度創造用メモリ部15の、初期値以外の記憶値、即ち、コントローラ14によって、解像度創造用メモリ部15に書き込まれたSD画像の画素を用いて生成するようになされている。

【0122】なお、ここでは、例えば、図13に示すように、SD画像を構成する水平方向または垂直方向の画素数を、それぞれ $P_H$ または $P_V$ とすると、解像度創造用メモリ部15が記憶可能な水平方向、垂直方向の画素数 $P_H'$ 、 $P_V'$ は、 $P_H' \geq 2P_H$ 、 $P_V' \geq 2P_V$ となっており、従って、解像度創造用メモリ部15は、水平方向および垂直方向のいずれについても、SD画像を構成する画素数の2倍以上の画素を記憶することができるようになされている。また、アクセス範囲は、図13に示すように、相対アドレスポインタを最も左上の点とする $2P_H \times 2P_V$ 画素の範囲とされている。

【0123】さらに、動き検出部12では、水平方向および垂直方向のいずれの方向についても、SD画像の画素より細かい単位で動きが検出されるようになされている。

【0124】ここで、高解像度オブジェクト生成部41乃至41<sub>M</sub>は、いずれも同様に構成されるため、以下では、そのうちの、例えば、高解像度オブジェクト生成部41<sub>1</sub>についてだけ説明する。

【0125】以上のように構成される解像度変換部34では、A/D変換器3からのSD画像が、その水平方向または垂直方向の解像度（画素数）を、例えば、それぞれ2倍にしたHD画像に変換される。

【0126】即ち、フレームメモリ部11に対しては、A/D変換器3（図11）から、SD画像が供給され、そこでは、A/D変換器3からのSD画像が、上述したようにして、順次記憶されていく。

【0127】そして、動き検出部12において、フレームメモリ部11に記憶されたSD画像の動きベクトルが、水平方向および垂直方向とも、そのSD画像の画素よりも細かい単位で検出され、領域分割部21に供給される。

【0128】領域分割部21は、動き検出部12からの動きベクトルや、隣接する画素の画素値どうしの差分その他を用いて領域分割のための処理を行い、さらにスムージングその他の必要な処理を行うことで、SD画像を、それを構成する幾つかのオブジェクトの領域に領域分割し、その領域分割結果に対応して、スイッチ22を制御する。即ち、例えば、フレームメモリ部11から、所定のオブジェクトの領域を構成する画素（SD画像の

(16)

29

画素（以下、適宜、SD画素という）の画素値が読み出されるタイミングでは、スイッチ22をオンにするとともに、他の高解像度オブジェクト生成部41<sub>2</sub>乃至41<sub>M</sub>が内蔵するスイッチをすべてオフにし、これにより、所定のオブジェクトの領域を構成するSD画素（画素値）を、メモリ23に供給して記憶させる。

【0129】また、領域分割部21は、メモリ23にSD画素を記憶させたオブジェクトの領域を代表する1つ動きベクトルを、その領域に含まれるブロックの動きベクトルに基づいて求め、コントローラ14に出力する。コントローラ14は、解像度創造用メモリ部15における相対アドレスポイントを、領域分割部21からの動きベクトルにしたがって移動し、その移動後の相対アドレスポイントを最も左上の頂点とするアクセス範囲に、メモリ23に記憶されたSD画素を記憶させる。さらに、コントローラ14は、書き込みフラグ記憶部42に記憶されている書き込みフラグのうち、SD画素を書き込んだ解像度創造用メモリ部15のアドレスに対応するものを、1にセットする。なお、アクセス範囲へのSD画素の書き込みは、ここでは、水平および垂直方向とも、1つおき（2画素ごと）に行われる。

【0130】従って、ここでは、解像度創造用メモリ部15のアクセス範囲内に、垂直方向だけでなく、水平方向にも画素が想定され、これにより、SD画像の水平方向および垂直方向の画素数を、いずれも2倍にしたHD画像が再生（創造）されていく。

【0131】なお、コントローラ14は、シーンチェンジ検出部13からシーンチェンジである旨を受信すると、解像度創造用メモリ部15をリセット（クリア）する他、書き込みフラグ記憶部42もリセットする（書き込みフラグすべてを0にリセットする）ようになされている。

【0132】解像度創造用メモリ部15のアクセス範囲内における記憶値は、すべて、コントローラ14の制御の下、HD画像を構成する画素（以下、適宜、HD画素という）として読み出され、画素生成部43に供給される。画素生成部43は、HD画素として読み出された記憶値が、初期値かどうかを、書き込みフラグ記憶部42を参照することにより判定（検出）し、即ち、HD画素として読み出された値が、メモリ23から書き込まれたSD画素であるかどうかを判定し、その判定結果に基づいて、HD画素を生成する。

【0133】即ち、ここでは、図13に示したように、アクセス範囲は、1画面のSD画像の水平方向または垂直方向の画素数を、それぞれ2倍にした数に対応するアドレス空間を有し、また、アクセス範囲は、動きベクトルにしたがって移動されるから、アクセス範囲が、常時、その全体に、SD画素が書き込まれた状態になっているとは限らない。そこで、画素生成部43は、アクセス範囲内の各アドレスの記憶値が、SD画素であるかど

30

うかを判定し、SD画素である場合には、そのSD画素を、そのままHD画素として出力し、SD画素でない場合、即ち、シーンチェンジの検出後に書き込まれた初期値である場合には、アクセス範囲に、既にかき込まれているSD画素を用いて、HD画素を生成して出力するようになされている。

【0134】以上のようにして、画素生成部43が出力する、所定のオブジェクトを構成するHD画素は、合成部24に供給される。

【0135】合成部24には、他の高解像度オブジェクト生成部41<sub>2</sub>乃至41<sub>M</sub>が、高解像度オブジェクト生成部41<sub>1</sub>と同様にして生成するHD画素で構成される他のオブジェクトも供給されるようになされており、合成部24では、これらのHD画素で構成されるオブジェクトが合成され、これにより、SD画像の水平方向または垂直方向の画素数（解像度）をそれぞれ2倍にしたHD画像が形成される。

【0136】このHD画像は、D/A変換器5（図11）を介して、CRT36に供給されて表示される。

【0137】次に、図14のフローチャートを参照して、図12の高解像度オブジェクト生成部41<sub>1</sub>における解像度創造用メモリ部15へのSD画素の書き込み処理について、さらに説明する。

【0138】図14の書き込み処理は、メモリ23に、1フレームにおける、所定のオブジェクトを構成するSD画素が記憶されるごとに行われる。

【0139】即ち、メモリ23に、1フレームの所定のオブジェクトを構成するSD画素が記憶されると、まず最初に、コントローラ14は、ステップS11において、シーンチェンジ検出部13からの出力を参照することにより、シーンチェンジが生じたかどうかを判定する。ステップS11において、シーンチェンジが生じたと判定された場合、ステップS12に進み、解像度創造メモリ部15がリセットされる。即ち、図9のステップS1における場合と同様に、相対アドレスポイントが、例えば、絶対アドレスの原点（0，0）に移動されるとともに、解像度創造用メモリ部15の記憶値がすべて、所定の初期値にクリアされる。

【0140】そして、ステップS13に進み、コントローラ14は、さらに、書き込みフラグ記憶部42に記憶されている書き込みフラグをすべて0にリセット（クリア）し、ステップS14に進む。ステップS14では、相対アドレスポイントを最も左上の頂点とするアクセス範囲内に、メモリ23に記憶されたSD画素が書き込まれる。

【0141】なお、ここでは、アクセス範囲へのSD画素の書き込みは、水平方向および垂直方向のいずれについても、相対アドレスポイントが指すアドレスから1つおきに行われていき、これにより、SD画像における1／2画素分単位の水平方向および垂直方向の動きに対応

(17)

31

した位置に画素が想定される。

【0142】メモリ23に記憶されたオブジェクトのSD画素の、解像度創造用メモリ部15への書き込みが終了すると、ステップS14からS15に進み、コントローラ15は、書き込みフラグ記憶部42に記憶されている書き込みフラグのうち、SD画素が書き込まれた解像度創造用メモリ部15のアドレスに対応する書き込みフラグを、1にセットし、書き込み処理を終了する。

【0143】一方、ステップS11において、シーンチェンジが生じていないと判定された場合、ステップS16に進み、コントローラ14は、領域分割部21が出力する動きベクトルに対応して、相対アドレスポインタを移動し、ステップS14に進む。ステップS14では、その移動後の相対アドレスポインタを最も左上の頂点とするアクセス範囲内に、メモリ23に記憶されたSD画素が、上述したように書き込まれ、ステップS15に進み、SD画素が書き込まれた解像度創造用メモリ部15のアドレスに対応する書き込みフラグが1にセットされて、書き込み処理を終了する。

【0144】以上のような書き込み処理が行われていくことにより、解像度創造用メモリ部15には、SD画像の水平方向または垂直方向それぞれの解像度を2倍にしたHD画像が形成されていく。

【0145】即ち、例えば、いま、あるSD画像を構成する三角形のオブジェクトが、図15(A)乃至図15(D)に示すように移動しており、第Nフレームでは、SD画素a乃至eで(図15(A))、第N+1フレームでは、SD画素f、gで(図15(B))、第N+2フレームでは、SD画素h乃至kで(図15(C))、第N+3フレームでは、SD画素l、mで、それぞれ、オブジェクトが構成されるとする。

【0146】この場合、第NフレームにおけるSD画素a乃至eは、図15(E)に示すように、相対アドレスポインタを最も左上の頂点とするアクセス範囲内における水平および垂直方向とも1つおきのアドレスに書き込まれる。ここで、図15(E)においては(図15(F)乃至図15(H)においても同様)、SD画素が書き込まれたアドレスを、斜線を付して示してある。

【0147】さらに、第N+1フレームにおけるSD画素f、gの書き込み時においては、相対アドレスポインタが、オブジェクトの動きに対応して移動され、画素f、gは、図15(F)に示すように、その移動後の相対アドレスポインタを最も左上の頂点とするアクセス範囲内における水平および垂直方向とも1つおきのアドレスに書き込まれる。また、第N+2フレームにおけるSD画素h乃至gの書き込み時においても、相対アドレスポインタが、オブジェクトの動きに対応して移動され、SD画素h乃至gは、図15(G)に示すように、その移動後の相対アドレスポインタを最も左上の頂点とするアクセス範囲内における水平および垂直方向とも1つお

32

きのアドレスに書き込まれる。そして、第N+3フレームにおけるSD画素l、mの書き込み時においても、相対アドレスポインタが、オブジェクトの動きに対応して移動され、SD画素l、mは、図15(H)に示すように、その移動後の相対アドレスポインタを最も左上の頂点とするアクセス範囲内における水平および垂直方向とも1つおきのアドレスに書き込まれる。

【0148】以上のように、SD画像の動きを、SD画素単位よりも細かい単位で検出し、その動きにしたがって、相対アドレスポインタを移動して、SD画素を、その移動後の相対アドレスポインタを最も左上の頂点とするアクセス範囲内における水平および垂直方向とも1つおきのアドレスに書き込んでいくことで、水平および垂直方向とも、SD画像の2倍の画素数となったHD画像を形成することができる。

【0149】次に、図16のフローチャートを参照して、図12の高解像度オブジェクト生成部41<sub>1</sub>における解像度創造用メモリ部15からのHD画素の読み出し処理について、さらに説明する。

【0150】図16の読み出し処理は、図14の書き込み処理が終了することに行われる。

【0151】即ち、あるフレームについての、解像度創造用メモリ部15へのSD画素の書き込みが終了すると、コントローラ21は、ステップS21において、解像度創造用メモリ部15のアクセス範囲内の記憶値を読み出し、画素生成部43に供給する。

【0152】画素生成部43は、アクセス範囲内の、所定のアドレスの記憶値を受信すると、ステップS22において、書き込みフラグ記憶部42を参照することで、そのアドレスに対応する書き込みフラグがセットされているかどうかを判定する。ステップS22において、所定のアドレスに対応する書き込みフラグがセットされていないと判定された場合、即ち、そのアドレスに、まだSD画素が記憶されておらず(前回のシーンチェンジが検出されてから、まだSD画素が書き込まれておらず)、従って、そのアドレスが、図14のステップS12においてリセットされたままの状態であり(以下、適宜、このようなアドレスを、未記憶アドレスという)、そこに初期値が記憶されている場合、ステップS23に進み、その未記憶アドレスに対応するHD画素を生成する生成処理が行われ、ステップS24に進む。この場合、ステップS24では、ステップS23で生成されたHD画素が、合成部24に出力される。

【0153】即ち、上述したように、アクセス範囲が、常時、その全体に、SD画素が書き込まれた状態になっているとは限らないため、画素生成部43では、SD画素が書き込まれていないアドレス(未記憶アドレス)については、SD画素が、既に書き込まれているアドレス(以下、適宜、既記憶アドレスという)に記憶されている、そのSD画素を用いて、未記憶アドレスに対応する

(18)

33

HD画素が生成される。

【0154】一方、ステップS22において、所定のアドレスに対応する書き込みフラグがセットされていると判定された場合、即ち、そのアドレスに、SD画素が記憶されている場合（前回のシーンチェンジが検出されてから、SD画素の書き込みがあった場合）、ステップS23をスキップして、ステップS24に進み、その記憶されているSD画素が、HD画素として、そのまま、合成部24に出力される。

【0155】ステップS24の処理後は、ステップS25に進み、アクセス範囲内における記憶値がすべて読み出されたかどうか判定される。ステップS25において、アクセス範囲内における記憶値（但し、ここでは、オブジェクトに対応する記憶値）が、まだ、すべて読み出されていないと判定された場合、ステップS21に戻り、まだ読み出されていない記憶値を対象に、同様の処理が繰り返される。一方、ステップS25において、アクセス範囲内における記憶値が、すべて読み出されたと判定された場合、読み出し処理を終了する。

【0156】次に、図17のフローチャートを参照して、図16におけるステップS23のHD画素の生成処理について説明する。なお、この生成処理は、上述したように、画素生成部43において行われる。

【0157】画素生成部43は、まず最初に、ステップS31において、既記憶アドレスに記憶されている画素のうち、未記憶アドレスに対応する画素の周辺にあるもの（以下、適宜、既記憶周辺画素という）を検出する。なお、この検出は、書き込みフラグ記憶部42を参照することで行われる。

【0158】そして、ステップS32に進み、画素生成部43は、解像度創造用メモリ部15から、ステップS

$$E[y] = w_1 x_1 + w_2 x_2 + \dots$$

【0165】そこで、一般化するために、予測係数wの集合でなる行列W、学習データの集合でなる行列X、および予測値E[y]の集合でなる行列Y'を、

【数1】

$$X = \begin{bmatrix} x_{11} & x_{12} & \dots & x_{1n} \\ x_{21} & x_{22} & \dots & x_{2n} \\ \dots & \dots & \dots & \dots \\ x_{m1} & x_{m2} & \dots & x_{mn} \end{bmatrix}$$

$$W = \begin{bmatrix} w_1 \\ w_2 \\ \dots \\ w_n \end{bmatrix}, Y' = \begin{bmatrix} E[y_1] \\ E[y_2] \\ \dots \\ E[y_n] \end{bmatrix}$$

$$XW = Y'$$

【0167】そして、この観測方程式に最小自乗法を用いて、HD画素の画素値yに近い予測値E[y]を求めることを考える。この場合、教師データとなるHD画

34

\*31で検出した既記憶周辺画素を読み出し、ステップS33に進む。ステップS33では、画素生成部43は、ステップS32で読み出した既記憶周辺画素を用いて、未記憶アドレスに対応する画素を生成し、リターンする。

【0159】ここで、既記憶周辺画素を用いての、未記憶アドレスに対応する画素の生成方法としては、例えば、線形補間などがある。

【0160】ところで、線形補間などの単純な補間では、未記憶アドレスに対応する画素として、既記憶周辺画素に含まれていない高周波成分を含むものは生成することができない。

【0161】そこで、本件出願人は、SD画像を、そこに含まれていない高周波成分をも含むHD画像に変換する画像変換装置を先に提案しているが、未記憶アドレスに対応する画素の生成には、この画像変換装置を適用することができる。

【0162】この画像変換装置においては、SD画像と、所定の予測係数との線形結合により、HD画像の画素の予測値を求める適応処理を行うことで、SD画像には含まれていない高周波成分が復元されるようになされている。

【0163】即ち、例えば、いま、HD画像を構成するHD画素の画素値yの予測値E[y]を、幾つかのSD画素の画素値（以下、適宜、学習データという） $x_1, x_2, \dots$ と、所定の予測係数 $w_1, w_2, \dots$ の線形結合により規定される線形1次結合モデルにより求めることを考える。この場合、予測値E[y]は、次式で表すことができる。

【0164】

$$\dots (1)$$

で定義すると、次のような観測方程式が成立する。

【0166】

$$\dots (2)$$

素の真の画素値yの集合でなる行列Y、およびHD画素の画素値yに対する予測値E[y]の残差eの集合でなる行列Eを、

(19)

35

【数2】

$$E = \begin{bmatrix} e_1 \\ e_2 \\ \dots \\ e_m \end{bmatrix}, Y = \begin{bmatrix} y_1 \\ y_2 \\ \dots \\ y_n \end{bmatrix}$$

$$XW = Y + E$$

【0169】この場合、HD画素の画素値 $y$ に近い予測値 $E[y]$ を求めるための予測係数 $w_i$ は、自乗誤差

【数3】

$$\sum_{i=1}^m e_i^2$$

を最小にすることで求めることができる。

$$e_1 \frac{\partial e_1}{\partial w_i} + e_2 \frac{\partial e_2}{\partial w_i} + \dots + e_m \frac{\partial e_m}{\partial w_i} = 0 \quad (i=1, 2, \dots, n)$$

・・・ (4)

【0172】そこで、まず、式(3)を、予測係数 $w_i$ で微分することにより、次式が成立する。

$$\frac{\partial e_i}{\partial w_1} = x_{i1}, \quad \frac{\partial e_i}{\partial w_2} = x_{i2}, \quad \dots, \quad \frac{\partial e_i}{\partial w_n} = x_{in}, \quad (i=1, 2, \dots, m)$$

・・・ (5)

【0174】式(4)および(5)より、式(6)が得られる。

【0175】

【数6】

$$\sum_{i=1}^m e_i x_{i1} = 0, \quad \sum_{i=1}^m e_i x_{i2} = 0, \quad \dots, \quad \sum_{i=1}^m e_i x_{in} = 0$$

$$\begin{cases} (\sum_{i=1}^m x_{i1} x_{i1}) w_1 + (\sum_{i=1}^m x_{i1} x_{i2}) w_2 + \dots + (\sum_{i=1}^m x_{i1} x_{in}) w_n = (\sum_{i=1}^m x_{i1} y_i) \\ (\sum_{i=1}^m x_{i2} x_{i1}) w_1 + (\sum_{i=1}^m x_{i2} x_{i2}) w_2 + \dots + (\sum_{i=1}^m x_{i2} x_{in}) w_n = (\sum_{i=1}^m x_{i2} y_i) \\ \dots \\ (\sum_{i=1}^m x_{in} x_{i1}) w_1 + (\sum_{i=1}^m x_{in} x_{i2}) w_2 + \dots + (\sum_{i=1}^m x_{in} x_{in}) w_n = (\sum_{i=1}^m x_{in} y_i) \end{cases}$$

・・・ (7)

【0178】式(7)の正規方程式は、求めるべき予測係数 $w$ の数と同じ数だけたてることができ、従って、式(7)を解くことで(但し、式(7)を解くには、式(7)において、予測係数 $w$ にかかる係数で構成される行列が正則である必要がある)、最適な予測係数 $w$ を求めることができる。なお、式(7)を解くにあたっては、例えば、掃き出し法(Gauss-Jordanの消去法)などを適用することが可能である。

【0179】以上のようにして、最適な予測係数 $w$ を求めておき、さらに、その予測係数 $w$ を用い、式(1)により、HD画素の画素値 $y$ に近い予測値 $E[y]$ を求め

36

で定義すると、式(2)から、次のような残差方程式が成立する。

【0168】

・・・ (3)

【0170】従って、上述の自乗誤差を予測係数 $w_i$ で微分したものが0になる場合、即ち、次式を満たす予測係数 $w_i$ が、HD画素の画素値 $y$ に近い予測値 $E[y]$ を求めるため最適値ということになる。

【0171】

【数4】

※【0173】

【数5】

・・・ (6)

【0176】さらに、式(3)の残差方程式における学習データ $x$ 、予測係数 $w$ 、教師データ $y$ 、および残差 $e$ の関係を考慮すると、式(6)から、次のような正規方程式を得ることができる。

【0177】

【数7】

るのが適応処理である。

【0180】なお、適応処理は、SD画像には含まれていない、HD画像に含まれる成分が再現される点で、補間処理とは異なる。即ち、適応処理では、式(1)だけを見る限りは、いわゆる補間フィルタを用いての補間処理と同一であるが、その補間フィルタのタップ係数に相当する予測係数 $w$ が、教師データ $y$ を用いての、いわば学習により求められるため、HD画像に含まれる成分を再現することができる。即ち、容易に、高解像度の画像を得ることができる。このことから、適応処理は、いわば画像の創造作用がある処理ということができる。

【0181】図18は、以上のような適応処理により、

(20)

37

SD画像をHD画像に変換する画像変換装置の構成例を示している。

【0182】SD画像は、クラス分類部201および適応処理部204に供給されるようになされている。クラス分類部201は、クラスタップ生成回路202およびクラス分類回路203で構成され、そこでは、適応処理により予測値を求めようとするHD画素（以下、適宜、注目画素という）が、その注目画素に対応するSD画像の画素の性質に基づいて、所定のクラスにクラス分類される。

【0183】即ち、クラスタップ生成回路202では、注目画素に対応するSD画素として、例えば、注目画素に対して所定の位置関係にある複数のSD画素（以下、適宜、クラスタップという）が、クラス分類部201に供給されるSD画像から抽出され、クラス分類回路203に供給される。クラス分類回路203では、クラスタップ生成回路202からのクラスタップを構成するSD画素の画素値のパターン（画素値の分布）が検出され、そのパターンにあらかじめ割り当てられた値が、注目画素のクラスとして、適応処理部203に供給される。

【0184】具体的には、例えば、いま、HD画像が、図19において、×印で示す画素（HD画素）で構成され、SD画像が、同図において、○印で示す画素（SD画素）で構成されるとする。即ち、SD画像が、HD画像の横または縦の画素数をそれぞれ1/2にして構成されるとする。ここで、図19においては、左から $i+1$ 番目で、上から $j+1$ 番目のSD画素（図中、○印で示す部分）を $X_{i,j}$ と表し、同様に、左から $i'+1$ 番目で、上から $j'+1$ 番目のHD画素（図中、×印で示す部分）を $Y_{i',j'}$ と表す。この場合、SD画素 $X_{i,j}$ の位置と、HD画素 $Y_{2i,2j}$ の位置とは一致する。

【0185】いま、あるSD画素としての、例えば $X_{2,2}$ の位置と一致するHD画素 $Y_{4,4}$ を注目画素とすると、クラスタップ生成回路202では、そのHD画素 $Y_{4,4}$ に対応するSD画素として、例えば、HD画素 $Y_{4,4}$ との相関が高いと予想されるHD画素 $Y_{4,4}$ の位置と一致するSD画素 $X_{2,2}$ を中心とする $3 \times 3$ （横×縦）のSD画素 $X_{1,1}, X_{2,1}, X_{3,1}, X_{1,2}, X_{2,2}, X_{3,2}, X_{1,3}, X_{2,3}, X_{3,3}$ （図19において点線で囲んである範囲のSD画素）が抽出され、それが、注目画素（HD画素） $Y_{4,4}$ のクラスタップとされる。

【0186】また、ここでは、例えば、 $X_{2,2}$ の位置と一致するHD画素 $Y_{4,4}$ の右隣のHD画素 $Y_{5,4}$ が注目画素とされた場合、 $X_{2,2}$ の位置と一致するHD画素 $Y_{4,4}$ の下に隣接するHD画素 $Y_{4,5}$ が注目画素とされた場合、および $X_{2,2}$ の位置と一致するHD画素 $Y_{4,4}$ の右斜め下に隣接するHD画素 $Y_{5,5}$ が注目画素とされた場合においても、クラスタップ生成回路202では、HD画素 $Y_{4,4}$ が注目画素とされた場合に形成されるクラス

38

素 $Y_{4,4}, Y_{5,4}, Y_{4,5}, Y_{5,5}$ がそれぞれ注目画素とされた場合に形成するクラスタップは、異なるものとすることも可能である。

【0187】そして、クラス分類回路203では、クラスタップ生成回路202で構成されたクラスタップとしての9個のSD画素（画素値）のパターンが検出され、そのパターンに対応する値が、注目画素のクラスとして出力される。

【0188】このクラスは、適応処理部204における係数ROM（Read Only Memory）207のアドレス端子（AD）に供給される。

【0189】ここで、画像を構成する画素には、一般的に、8ビットなどが割り当てられる。いま、SD画素に8ビットが割り当てられているとすると、例えば、図19に示した $3 \times 3$ 画素の正形状のクラスタップだけを考えても、画素値のパターン数は、 $(2^8)^9$ 通りという莫大な数となり、その後の処理の迅速化が困難となる。

【0190】そこで、クラス分類を行う前の前処理として、クラスタップには、それを構成するSD画素のビット数を低減するための処理である、例えばADRC（Adaptive Dynamic Range Coding）処理などが施される。

【0191】即ち、ADRC処理では、まず、処理ブロックを構成する9個のSD画素から、その画素値の最大のもの（以下、適宜、最大画素という）と最小のもの（以下、適宜、最小画素という）とが検出される。そして、最大画素の画素値MAXと最小画素の画素値MINとの差分DR（=MAX-MIN）が演算され、このDRを処理ブロックの局所的なダイナミックレンジとし、このダイナミックレンジDRに基づいて、処理ブロックを構成する各画素値が、元の割当ビット数より少ないKビットに再量子化される。つまり、処理ブロックを構成する各画素値から最小画素の画素値MINが減算され、各減算値が、 $DR/2^K$ で除算される。

【0192】その結果、処理ブロックを構成する各画素値はKビットで表現されるようになる。従って、例えば $K=1$ とした場合、9個のSD画素の画素値のパターン数は、 $(2^1)^9$ 通りになり、ADRC処理を行わない場合に比較して、パターン数を非常に少ないものとすることができる。

【0193】一方、適応処理部204は、予測タップ生成回路205、予測演算回路206、および係数ROM207で構成され、そこでは、適応処理が行われる。

【0194】即ち、予測タップ生成回路205では、適応処理部204に供給されるSD画像から、予測演算回路206において注目画素の予測値を求めるのに用いる、その注目画素に対して所定の位置関係にある複数のSD画素が抽出され、これが予測タップとして、予測演算回路206に供給される。

【0195】具体的には、例えば、HD画素 $Y_{4,4}$ が注目画素とされ、図19で説明したようなクラスタップが

(21)

39

構成される場合、予測タップ生成回路205では、例えば、HD画素 $Y_{4,4}$ との相関が高いと予想されるSD画素として、同図に実線で囲んで示す範囲の、注目画素 $Y_{4,4}$ の位置に一致するSD画素 $X_{2,2}$ を中心とする $5 \times 5$ のSD画素が抽出され、これが、注目画素（HD画素） $Y_{4,4}$ の予測タップとされる。

【0196】なお、ここでは、HD画素 $Y_{5,4}$ 、 $Y_{4,5}$ 、 $Y_{5,5}$ が注目画素とされた場合においても、HD画素 $Y_{4,4}$ が注目画素とされた場合に形成される予測タップと同一の予測タップが形成される。但し、HD画素 $Y_{4,4}$ 、 $Y_{5,4}$ 、 $Y_{4,5}$ 、 $Y_{5,5}$ がそれぞれ注目画素とされた場合に形成する予測タップは、異なるものとするのも可能である。

【0197】そして、予測演算回路206には、予測タップ生成回路205から予測タップが供給される他、係数ROM207から予測係数も供給される。

【0198】即ち、係数ROM207は、あらかじめ学習が行われることにより求められた予測係数を、クラスごとに記憶しており、クラス分類回路203からクラスが供給されると、そのクラスに対応するアドレスに記憶されている予測係数を読み出し、予測演算回路206に供給する。

【0199】これにより、予測演算回路206には、注目画素に対応する予測タップと、その注目画素のクラスについての予測係数とが供給される。そして、予測演算回路206では、係数ROM207からの予測係数 $w_1$ 、 $w_2$ 、・・・と、予測タップ生成回路205からの予測タップ（を構成するSD画素） $x_1$ 、 $x_2$ 、・・・とを用いて、式（1）に示した演算が行われることにより、注目画素（HD画素） $y$ の予測値 $E[y]$ が求められ、これが、HD画素の画素値として出力される。

【0200】以上の処理が、すべてのHD画素を注目画素として行われ、これにより、SD画像がHD画像に変換される。

【0201】次に、図20は、図18の係数ROM207に記憶させる予測係数を算出する学習処理を行う学習装置の構成例を示している。

【0202】学習における教師データ $y$ となるべきHD画像（学習用のHD画像）が、間引き回路211および教師データ抽出回路146に供給されるようになされており、間引き回路211では、HD画像が、例えば、その画素数が間引かれることにより少なくされ、これによりSD画像とされる。即ち、間引き回路211では、HD画像の横または縦の画素数がそれぞれ $1/2$ にされ、これにより、SD画像が形成される。このSD画像は、クラス分類部212および予測タップ生成回路145に供給される。

【0203】クラス分類部212または予測タップ生成回路145では、図18のクラス分類部201または予測タップ生成回路205における場合と同様の処理が行

40

われ、これにより注目画素のクラスまたは予測タップがそれぞれ出力される。クラス分類部212が出力するクラスは、予測タップメモリ147および教師データメモリ148のアドレス端子（AD）に供給され、予測タップ生成回路145が出力する予測タップは、予測タップメモリ147に供給される。

【0204】予測タップメモリ147では、クラス分類部212から供給されるクラスに対応するアドレスに、予測タップ生成回路145から供給される予測タップが記憶される。

【0205】一方、教師データ抽出回路146では、クラス分類部212および予測タップ生成回路145において注目画素とされるHD画素が、そこに供給されるHD画像から抽出され、教師データとして、教師データメモリ148に供給される。

【0206】そして、教師データメモリ148では、クラス分類部212から供給されるクラスに対応するアドレスに、教師データ抽出回路146から供給される教師データが記憶される。

【0207】以上の処理が、あらかじめ学習用に用意されたすべてのHD画像（学習用のHD画像）を構成するすべてのHD画素を、順次、注目画素として行われる。

【0208】その結果、教師データメモリ148または予測タップメモリ147の同一のアドレスには、そのアドレスに対応するクラスのHD画素、またはそのHD画素について図19において説明した予測タップを構成する位置にあるSD画素が、教師データ $y$ または学習データ $x$ として、それぞれ記憶される。

【0209】なお、予測タップメモリ147と教師データメモリ148においては、同一アドレスに複数の情報を記憶することができるようになされており、これにより、同一アドレスには、同一のクラスに分類される複数の学習データ $x$ と教師データ $y$ を記憶することができるようになされている。

【0210】その後、演算回路149は、予測タップメモリ147または教師データメモリ148から、同一アドレスに記憶されている学習データとしての予測タップまたは教師データとしてのHD画素を読み出し、それらを用いて、例えば、最小自乗法によって、予測値と教師データとの間の誤差を最小にする予測係数を算出する。即ち、演算回路149では、クラスごとに、式（7）に示した正規方程式がたてられ、これを解くことにより予測係数が求められる。

【0211】以上のようにして、演算回路149で求められたクラスごとの予測係数が、図18の係数ROM207における、そのクラスに対応するアドレスに記憶されている。

【0212】なお、上述の場合では、HD画素 $Y_{4,4}$ 、 $Y_{5,4}$ 、 $Y_{4,5}$ 、 $Y_{5,5}$ がそれぞれ注目画素とされた場合に形成するクラスタップ、予測タップをそれぞれ同一の



(22)

41

ものとしたため、予測係数は、HD画素 $Y_{4,4}$ 、 $Y_{5,4}$ 、 $Y_{4,5}$ 、 $Y_{5,5}$ それぞれについて、それぞれ教師データとして、個別に、正規方程式をたてて求める必要がある。

【0213】適応処理によれば、元のSD画像には含まれていない高周波成分を含んだHD画像を得ることができ、また、注目画素について、クラス分類処理を行い、その結果得られるクラスに対応した予測係数を用いて適応処理を行うことで、注目画素に適した適応処理を施すことができる。

【0214】なお、上述したクラス分類処理および適応処理（以下、適宜、クラス分類適応処理という）によって、未記憶アドレスに対応するHD画素を、既記憶周辺画素から生成する場合においては、図19に示したクラスタップや予測タップを形成するための既記憶周辺画素が存在しないことがあり、この場合、図19に示したような、クラスタップや予測タップを形成することができない。従って、未記憶アドレスに対応する画素を、クラス分類適応処理によって生成するには、存在する既記憶周辺画素を用いて、適応的に、クラスタップや予測タップを形成する必要がある、そのために、学習時には、種々の形状のクラスタップや予測タップを形成して、予測係数を求めておく必要がある。

【0215】次に、上述の場合においては、図13に示したように、解像度創造用メモリ部15を、水平方向および垂直方向のいずれについても、SD画像を構成する画素数の2倍以上の画素を記憶することができるように構成するとともに、アクセス範囲を、相対アドレスポインタを最も左上の点とする $2P_H \times 2P_V$ 画素の範囲、即ち、HD画像の1画面と同一の範囲としたため、SD画像の動きベクトルのx成分およびy成分が、 $1/2$ の奇数倍になっていれば、その動きベクトルを2倍したベクトルにしたがって、相対アドレスポインタを移動することにより、水平方向のSD画素どうしの中点や、垂直方向のSD画素どうしの間の中点に画素が想定され、従って、解像度の良いHD画像を得ることができる。

【0216】しかしながら、SD画像の動きベクトルのx成分およびy成分が、常時、 $1/2$ の奇数倍になるとは限らない。また、SD画像の動きベクトルのx成分およびy成分が、 $1/2$ の奇数倍になっていない場合に、その動きベクトルを2倍したもののxおよびy成分を、例えば、図9で説明したように四捨五入したベクトルにしたがって、相対アドレスポインタを移動することとすると、本来、水平方向のSD画素どうしの中点や、垂直方向のSD画素どうしの間の中点からずれた位置に想定されるべき画素が、そのような中点に想定されることになり、得られるHD画像の解像度が劣化することになる。なお、このことは、SD画像の動きベクトルのx成分やy成分が、 $1/2$ の奇数倍になっていない場合の他、 $1/2$ の偶数倍になっていない場合も同様である。

【0217】そこで、SD画像の動きベクトルのx、y

42

成分が、 $1/2$ の整数倍から、大きくはずれている場合には、そのSD画像を構成するSD画素を、解像度創造用メモリ部15に書き込まないようにすることができる。この場合、本来、水平方向のSD画素どうしの中点や、垂直方向のSD画素どうしの間の中点から大きくずれた位置に想定されるべき画素が、そのような中点に想定されることに起因する、HD画像の解像度の劣化を防止（低減）することができる。

【0218】ところで、SD画像の動きベクトルのx、y成分が、 $1/2$ の整数倍から、大きくはずれている場合に、そのSD画像を構成するSD画素を、解像度創造用メモリ部15に書き込まないようにしたときには、書き込むようにしたときと比較して、解像度創造用メモリ部15に書き込まれるSD画素の数が少なくなり、画素生成部43において生成するHD画素の数が多くなる。そして、画素生成部43では、解像度創造用メモリ部15に、既に記憶されたSD画素を用いて、HD画素が生成されるから、解像度創造用メモリ部15に書き込まれるSD画素の数が少なくなると、画素生成部43において生成されるHD画素の精度が悪化することになる。

【0219】そこで、例えば、図21に示すように、解像度創造用メモリ部15を、水平方向および垂直方向のいずれについても、SD画像を構成する画素数の4倍以上の画素を記憶することができるように構成し、また、アクセス範囲も、相対アドレスポインタを最も左上の点とする $4P_H \times 4P_V$ 画素の範囲、即ち、ここでは、水平方向および垂直方向のいずれについても、HD画像を構成する画素数の2倍の範囲とするようにする。

【0220】そして、SD画像の動きベクトルを4倍したもののxおよびy成分を、例えば、図9で説明したように四捨五入したベクトルにしたがって、相対アドレスポインタを移動して、アクセス範囲に、SD画素を、水平および垂直方向のアドレスとも3つおきに書き込むこととする。但し、この場合でも、SD画像の動きベクトルのx、y成分が、 $1/4$ の整数倍から、大きくはずれているときには、そのSD画像を構成するSD画素を、解像度創造用メモリ部15に書き込まないようにする。

【0221】以上のようにアクセス範囲を拡大することで、解像度創造用メモリ部15に書き込まれるSD画素の数を増加させることができる。

【0222】ここで、例えば、図22に示すように、第N-4フレームから第Nフレームにかけて移動するオブジェクトを構成するSD画素を、 $4P_H \times 4P_V$ 画素の範囲とされたアクセス範囲に、上述したように書き込んだ状態を、図23に示す。

【0223】ところで、以上のように、アクセス範囲を、 $4P_H \times 4P_V$ 画素の範囲とした場合において、 $2P_H \times 2P_V$ 画素で構成されるHD画像を得るには、図23に示した、水平方向と垂直方向との点線の交点上のSD画素だけを、アクセス範囲から読み出せば良い。即ち、

50

(23)

43

アクセス範囲内における記憶値を、水平および垂直方向とも1つおきに読み出せば良い。

【0224】しかしながら、この場合でも、図23に示した、水平方向と垂直方向との点線の交点上に、SD画素が書き込まれていないことがある。この場合、対応するHD画素は、上述したように、既記憶周辺画素を用いて生成することとなるが、その生成時においては、図23を拡大した図24に示すように、水平方向と垂直方向との点線の交点上にある既記憶周辺画素の他、そのような交点上にない既記憶周辺画素も用いることができる。このように、交点上にない既記憶周辺画素も用いて、HD画素を生成する場合には、より解像度の高いHD画像を得ることが可能となる。

【0225】ここで、この場合、HD画素の生成は、上述した線形補間や、クラス分類処理および適応処理による他、例えば、そのHD画素に最も近い位置にある既記憶周辺画素への置き換えなどによって行うことも可能である。

【0226】なお、アクセス範囲内のアドレスのうち、既に、SD画素が記憶されているアドレスに、新たにSD画素が供給された場合には、その新たなSD画素を上書きしても良いし、既に記憶されているSD画素の動きベクトルと、新たなSD画素の動きベクトルとを比較し、動きベクトルのx、y成分が、1/4の整数倍に最も近い方を、優先的に記憶させるようにしても良い。但し、動きベクトルのx、y成分が、1/4の整数倍に最も近い方を、優先的に記憶させるようにする場合には、解像度創造用メモリ部15に既に記憶されているSD画素の動きベクトルを記憶するためのメモリなどが必要となる。

【0227】次に、SD画像が、複数(M個以下)の異なる動きのオブジェクトから構成される場合には、解像度変換部34は、図12に示したように構成する必要があるが、SD画像が、例えば、ビデオカメラをパンやチルトすることにより、風景などを撮影することにより得られた、全画面が同一の動きをするものである場合には、解像度変換部34は、例えば、図25に示すように構成することができる。

【0228】即ち、図25は、図11の解像度変換部34の他の構成例を示している。なお、図中、図12における場合と対応する部分については、同一の符号を付してある。即ち、図25の解像度変換部34は、領域分割部21および合成部24が設けられておらず、M個の高解像度オブジェクト生成部41<sub>1</sub>乃至41<sub>M</sub>に替えて、1の高解像度オブジェクト生成部41が設けられ、さらに、高解像度オブジェクト生成部41には、スイッチ22およびメモリ23が設けられていない他は、図12における場合と同様に構成されている。

【0229】以上のように構成される解像度変換部34では、図12における場合と同様に、フレームメモリ部

44

11に対して、A/D変換器3(図11)から、SD画像が供給され、そこでは、A/D変換器3からのSD画像が、順次記憶されていく。

【0230】そして、動き検出部12において、フレームメモリ部11に記憶されたSD画像の動きベクトルが、水平方向および垂直方向とも、そのSD画像の画素よりも細かい単位で検出され、コントローラ14に供給される。なお、上述したように、ここでは、SD画像として、全画面が同一の動きをするものが入力されるので、全画面(1フレーム)について、1つの動きベクトルが検出されるようになされている。

【0231】コントローラ14は、解像度創造用メモリ部15における相対アドレスポインタを、動き検出部12からの動きベクトルにしたがって移動し、その移動後の相対アドレスポインタを最も左上の頂点とするアクセス範囲に、フレームメモリ部11の現フレームメモリ11Aに記憶された1フレーム分のSD画素を記憶させる。さらに、コントローラ14は、書き込みフラグ記憶部42に記憶されている書き込みフラグのうち、SD画素を書き込んだ解像度創造用メモリ部15のアドレスに対応するものを、1にセットする。なお、アクセス範囲(従って、解像度創造用メモリ部15も)としては、例えば、図13で説明した範囲が設定されており、従って、アクセス範囲へのSD画素の書き込みは、ここでは、水平および垂直方向とも、1つおきに行われる。

【0232】以上のようにして、解像度創造用メモリ部15のアクセス範囲内には、垂直方向だけでなく、水平方向にも画素が想定され、SD画像の水平方向および垂直方向の画素数を、いずれも2倍にしたHD画像が再生(創造)されていく。

【0233】なお、シーンチェンジ検出部13は、上述したようにして、SD画像のシーンチェンジを検出しており、コントローラ14は、シーンチェンジ検出部13からシーンチェンジである旨を受信すると、解像度創造用メモリ部15をリセットするとともに、書き込みフラグ記憶部42もリセットするようになされている。

【0234】解像度創造用メモリ部15のアクセス範囲内における記憶値は、コントローラ14の制御の下、HD画像を構成するHD画素として読み出され、画素生成部43に供給される。画素生成部43は、HD画素として読み出された記憶値が、初期値かどうかを、書き込みフラグ記憶部42を参照することにより判定し、即ち、HD画素として読み出された値が、フレームメモリ11から書き込まれたSD画素であるかどうかを判定し、その判定結果に基づいて、HD画素を生成する。

【0235】即ち、ここでは、上述の図13に示したように、アクセス範囲は、1画面のSD画像の水平方向または垂直方向の画素数を、それぞれ2倍にした数に対応するアドレス空間を有し、また、アクセス範囲は、動きベクトルにしたがって移動されるから、アクセス範囲

(24)

45

が、常時、その全体に、SD画素が書き込まれた状態になっているとは限らない。そこで、画素生成部43は、アクセス範囲内の各アドレスの記憶値が、SD画素であるかどうかを判定し、SD画素である場合には、そのSD画素を、そのままHD画素として出力し、SD画素でない場合、即ち、シーンチェンジの検出後に書き込まれた初期値である場合には、アクセス範囲に、既書き込まれているSD画素を用いて、HD画素を生成して出力する。なお、既書き込まれているSD画素からのHD画素の生成は、例えば、上述したような単純な補間によって行っても良いし、クラス分類適応処理によって行っても良い。

【0236】以上のようにして、画素生成部43が出力するHD画素で構成される1フレームのHD画像、即ち、ここでは、SD画像の水平方向または垂直方向の画素数（解像度）をそれぞれ2倍にしたHD画像は、D/A変換器5（図11）を介して、CRT36に供給されて表示される。

【0237】なお、図25の実施の形態においても、例えば、図21に示したように、解像度創造用メモリ部15を、水平方向および垂直方向のいずれについても、SD画像を構成する画素数の4倍以上の画素を記憶することができるよう構成するとともに、アクセス範囲も、相対アドレスポインタを最も左上の点とする4P<sub>H</sub>×4P<sub>V</sub>画素の範囲、即ち、水平方向および垂直方向のいずれについても、HD画像を構成する画素数の2倍の範囲とすることが可能であり、この場合、より解像度の高いHD画像を得ることが可能となる。

【0238】以上、本発明を、折り返し歪みを有する画像からの、その折り返し歪みの除去（低減）、およびSD画像のHD画像への変換に適用した場合について説明したが、本発明は、その他、例えば、画像を拡大する場合や、インターレース走査された画像を、プログレッシブな画像（ノンインターレース走査される画像）に変換する場合などにも適用可能である。

【0239】なお、本実施の形態では、フレーム単位の画像を処理するようにしたが、フィールド単位で処理を行うことも可能である。

【0240】また、本実施の形態では、画像をCRTに表示するようにしたが、本発明は、画像を液晶ディスプレイなどに表示する場合などにも適用可能である。

【0241】さらに、本実施の形態では、テレビジョン受像機において、アナログのテレビジョン放送を受信するようにしたが、本発明は、デジタル放送を受信する場合にも適用可能である。

【0242】

【発明の効果】以上の如く、本発明の画像処理装置および画像処理方法によれば、第1の画像の動きに対応した位置に画素を想定することにより、第2の画像が生成される。従って、例えば、第1の画像が折り返し歪みを有

46

する場合に、その折り返し歪みを除去または低減した第2の画像を得ることが可能となる。

【図面の簡単な説明】

【図1】本発明を適用したテレビジョン受像機の一実施の形態の構成を示すブロック図である。

【図2】本発明の原理を説明するための図である。

【図3】本発明の原理を説明するための図である。

【図4】図1の歪み補正部4の構成例を示すブロック図である。

10 【図5】画素より細かい単位での動きベクトルの検出方法を説明するための図である。

【図6】図4の解像度創造用メモリ部15の構成例を示す図である。

【図7】相対アドレスポインタとアクセス範囲を説明するための図である。

【図8】アクセス範囲への画像データの書き込み方法を説明するための図である。

【図9】図4の歪み補正部4の動作を説明するためのフローチャートである。

20 【図10】図1の歪み補正部4の他の構成例を示すブロック図である。

【図11】本発明を適用したテレビジョン受像機の他の実施の形態の構成例を示すブロック図である。

【図12】図11の解像度変換部34の構成例を示すブロック図である。

【図13】図12の解像度創造用メモリ部15の構成例を示す図である。

【図14】図12の解像度創造用メモリ部15への書き込み処理を説明するためのフローチャートである。

30 【図15】解像度創造用メモリ部15に、SD画像が記憶されていく様子を示す図である。

【図16】図12の解像度創造用メモリ部15からの読み出し処理を説明するためのフローチャートである。

【図17】図16のステップS23の処理のより詳細を説明するためのフローチャートである。

【図18】SD画像からHD画像を生成する画像変換装置の構成例を示すブロック図である。

【図19】クラスタップおよび予測タップを示す図である。

40 【図20】図18の係数ROM207に記憶されている予測係数を求める学習を行う学習装置の構成例を示すブロック図である。

【図21】図12の解像度創造用メモリ部15の構成例を示す図である。

【図22】SD画像を構成するオブジェクトが移動している様子を示す図である。

【図23】SD画素が書き込まれたアクセス範囲を示す図である。

50 【図24】図23のアクセス範囲の記憶値からの、HD画素の生成方法を説明するための図である。

(25)

47

【図25】図11の解像度変換部34の他の構成例を示すブロック図である。

【図26】CRTに画像が表示されときの走査の様子を示す図である。

【図27】垂直方向の折り返し歪みを説明するための図である。

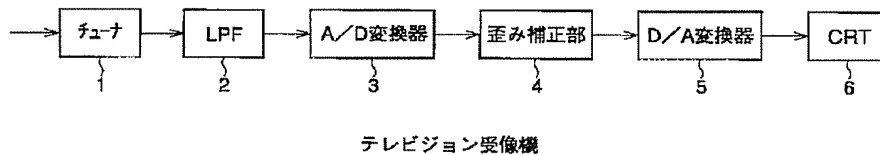
【符号の説明】

1 チューナ, 2 LPF, 3 A/D変換器, 4 歪み補正部, 5 D/A変換器, 6 CRT, 11 フレームメモリ部, 11A 現フレームメモリ, 11B 前フレームメモリ, 12 動き検出部, 13 シーンチェンジ検出部, 14, 14A, 14B コントローラ, 15, 15A, 15B 解像度創造用メモリ部, 16 垂直LPF, 17 フレ

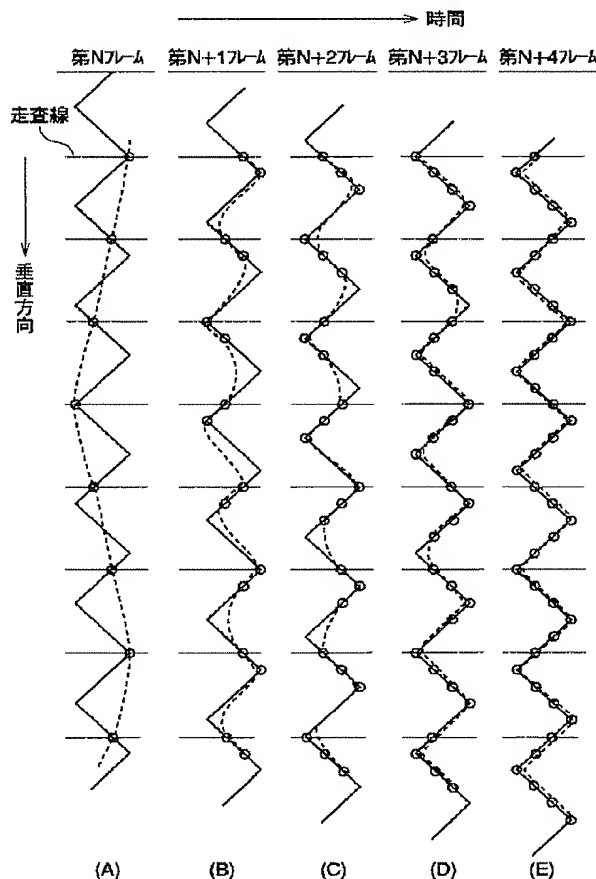
48

ームメモリ部, 21 領域分割部, 22A, 22B スイッチ, 23A, 23B メモリ, 24 合成部, 34 解像度変換部, 36 CRT, 41, 41<sub>1</sub>乃至41<sub>M</sub> 高解像度オブジェクト生成部, 42 書き込みフラグ記憶部, 43 画素生成部, 145 予測タップ生成回路, 146 教師データ抽出回路, 147 予測タップメモリ, 148 教師データメモリ, 149 演算回路, 201 クラス分類部, 202 クラスタップ生成回路, 203 クラス分類回路, 204 適応処理部, 205 予測タップ生成回路, 206 予測演算回路, 207 係数ROM, 211 間引き回路, 212 クラス分類部

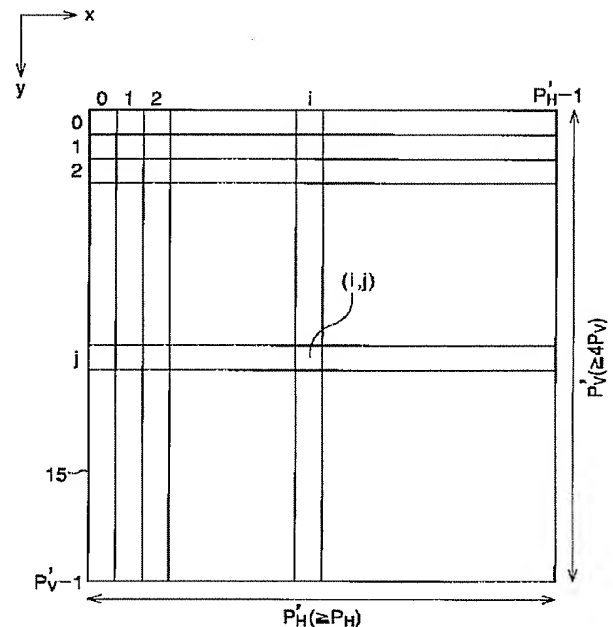
【図1】



【図2】

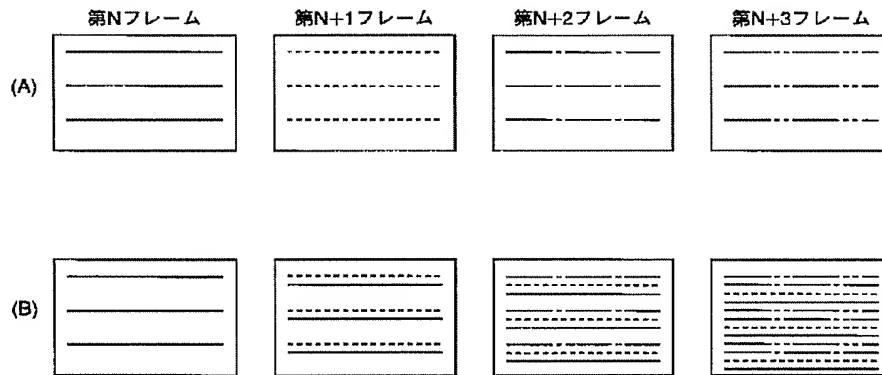


【図6】

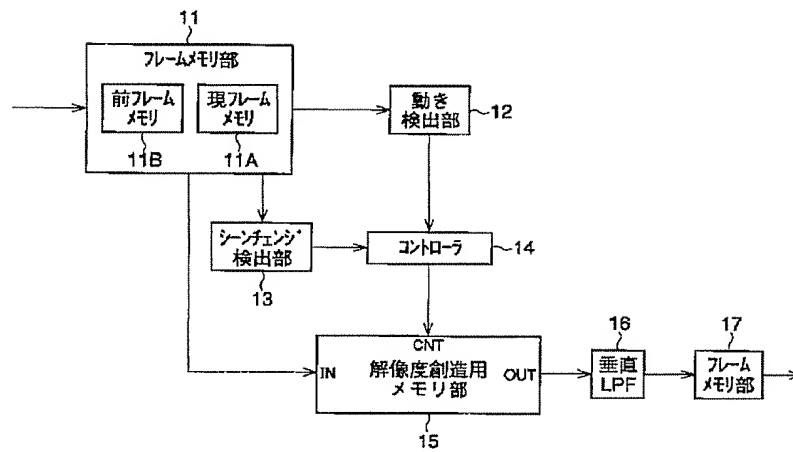


(26)

【図3】

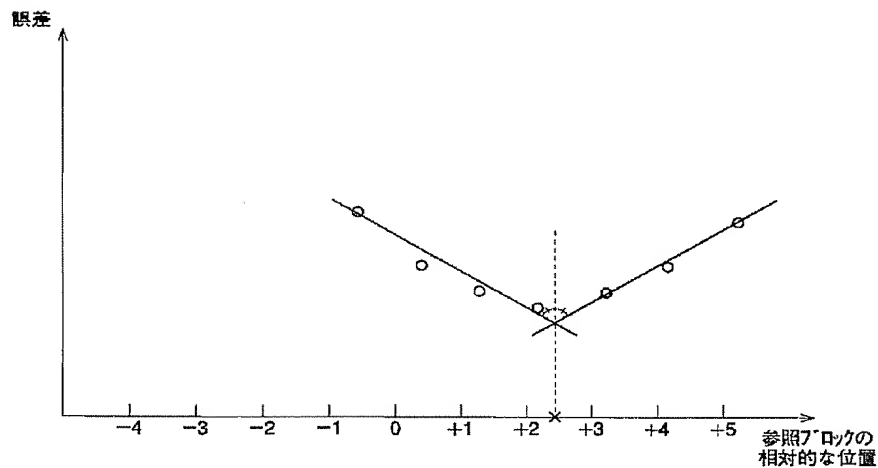


【図4】

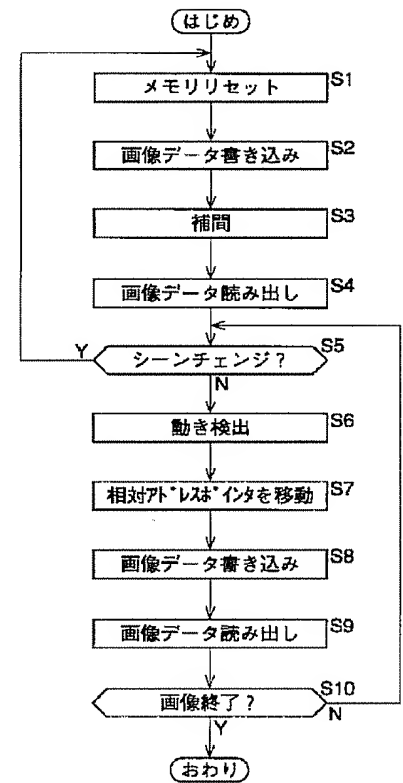


歪み補正部 4

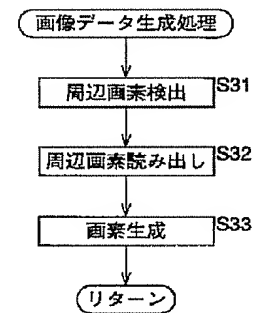
【図5】



【図9】

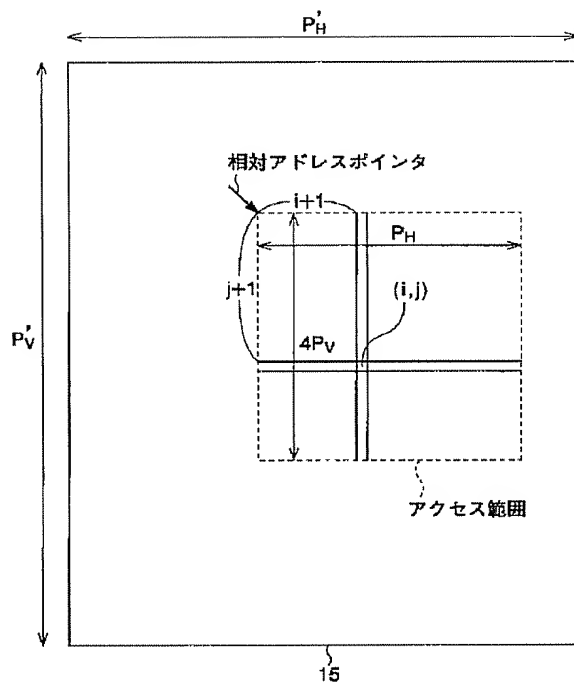


【図17】

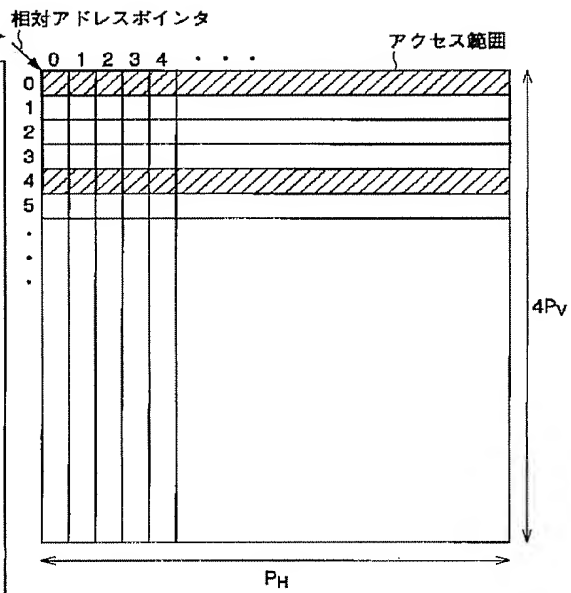


(27)

【図 7】

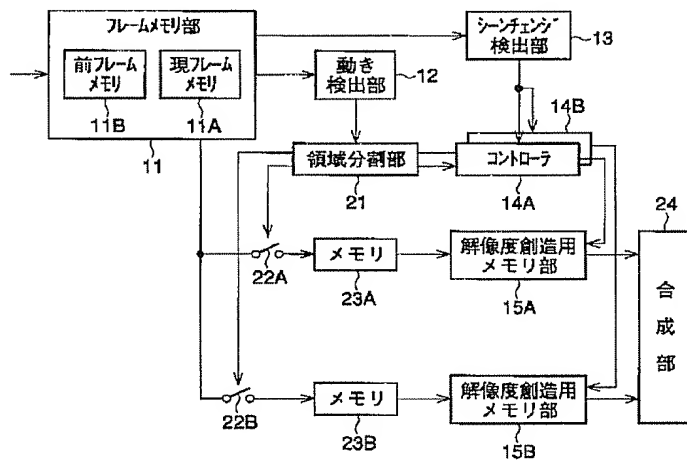


【図 8】



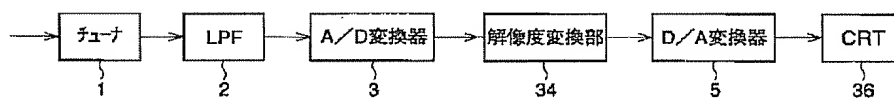
【図 2 6】

【図 1 0】

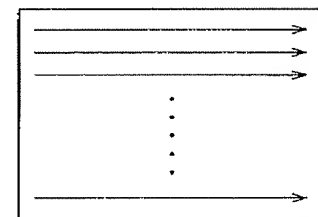


歪み補正部 4

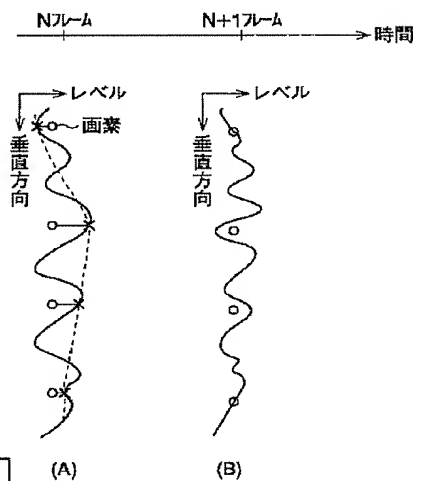
【図 1 1】



テレビジョン受像機

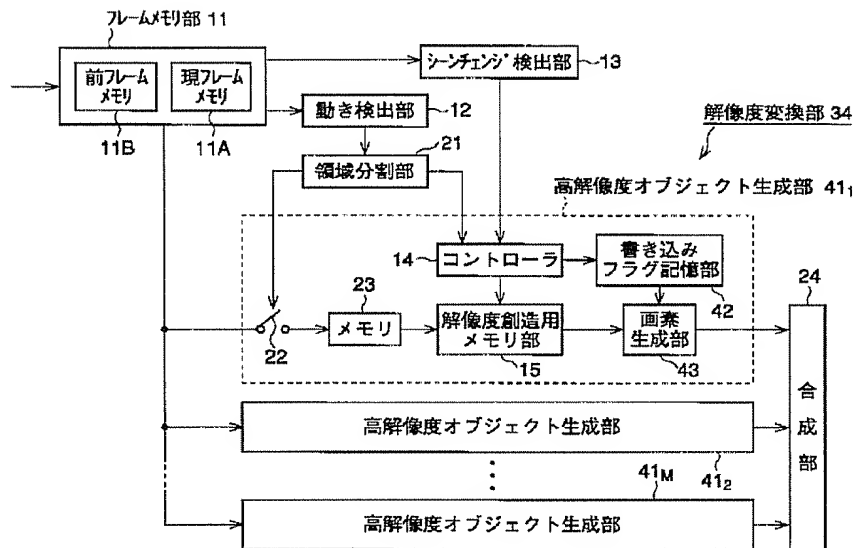


【図 2 7】

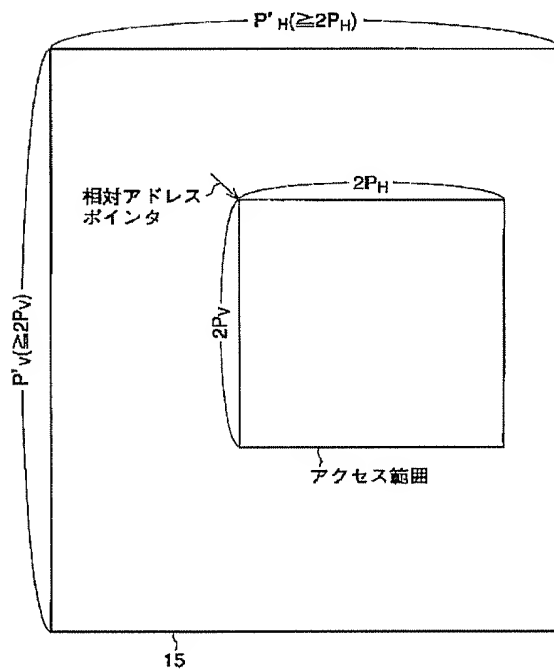


(28)

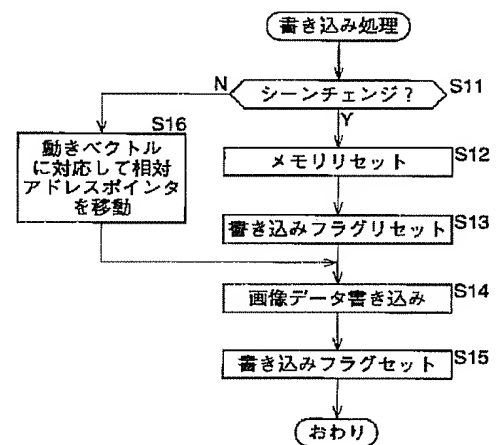
【図12】



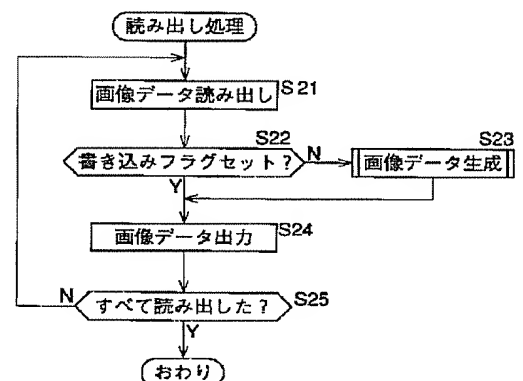
【図13】



【図14】



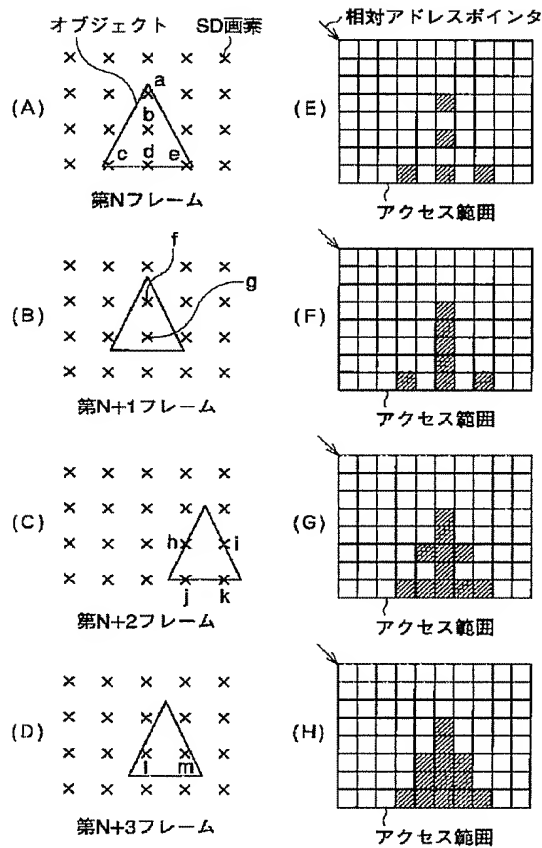
【図16】



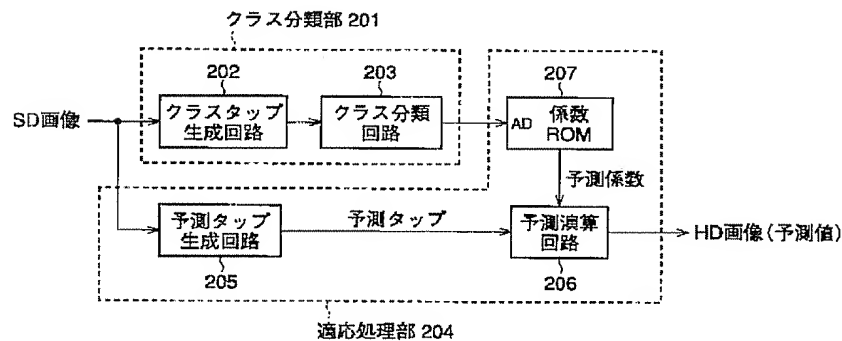


(29)

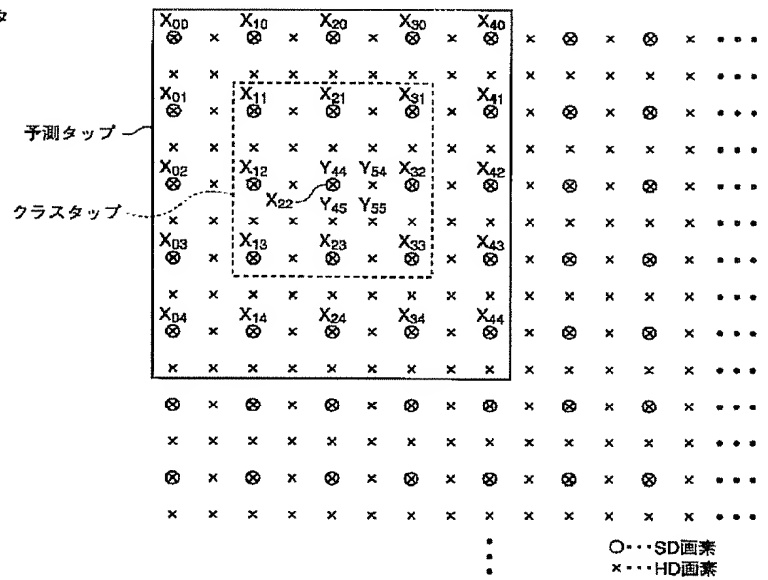
【図15】



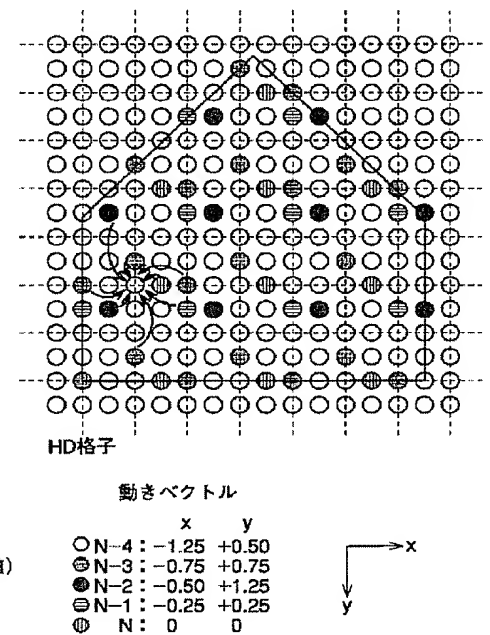
【図18】



【図19】

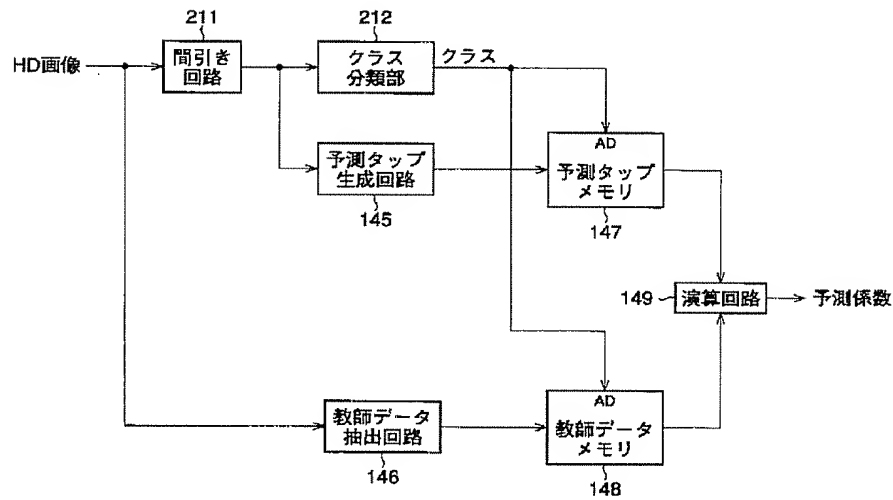


【図24】

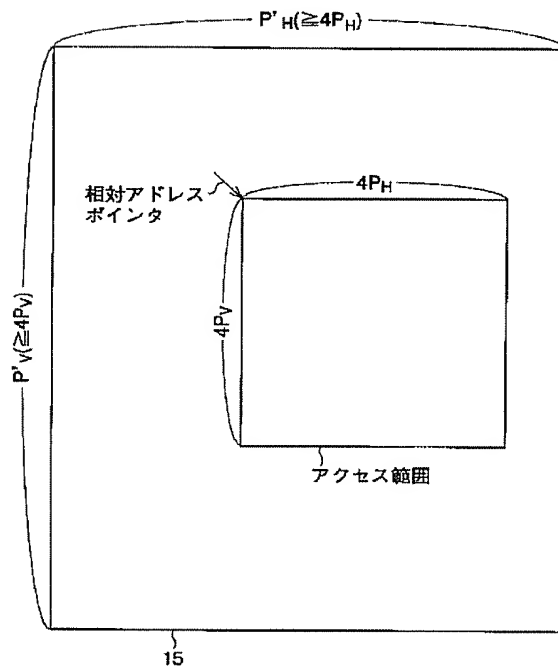


(30)

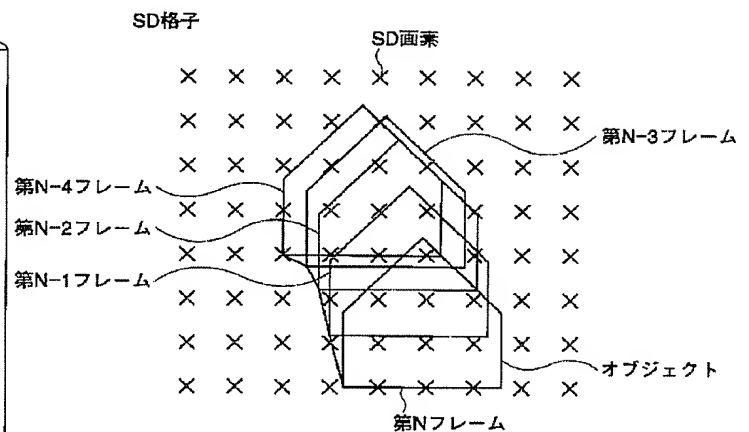
【図20】



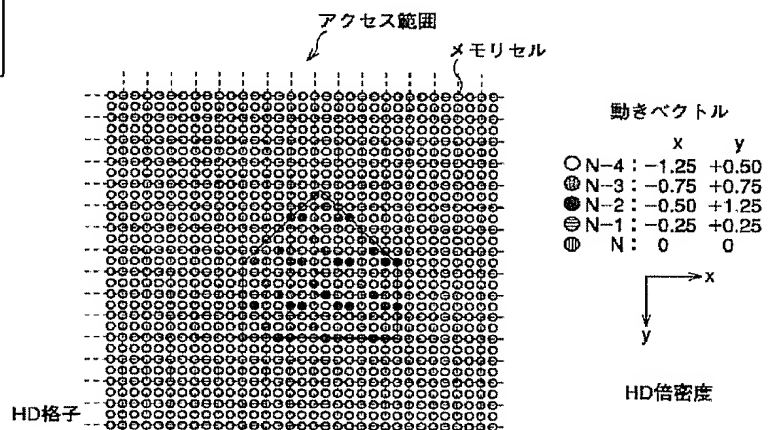
【図21】



【図22】



【図23】



(31)

【図25】

